

# **Aufbau einer Triggerelektronik zur Messung der CP-Verletzung in B-Zerfällen bei HERA-B**

DISSERTATION

zur Erlangung des Grades eines  
Doktors der Naturwissenschaften

Vorgelegt von

Dipl.-Phys. Dirk Stieler

aus Siegen

Eingereicht beim Fachbereich Physik  
der Universität – Gesamthochschule Siegen

Siegen 2001

Gutachter:

Prof. Dr. G. Zech  
Prof. Dr. N. Pavel

Datum der mündl. Prüfung:

27. November 2001

# Inhaltsverzeichnis

|   |           |
|---|-----------|
| <b>Einleitung</b>                               | <b>1</b>  |
| <b>1 Das HERA-B Experiment</b>                  | <b>3</b>  |
| 1.1 Der Speicherring HERA                       | 3         |
| 1.2 Die Physik: CP-Verletzung                   | 4         |
| 1.3 Der Detektor                                | 7         |
| 1.3.1 Detektoren zur Spurfindung                | 8         |
| 1.3.2 Detektoren zur Teilchenbestimmung         | 9         |
| 1.4 Das Innere Spurkammersystem                 | 10        |
| 1.5 Der Helix-Chip                              | 13        |
| 1.6 Der Trigger                                 | 15        |
| 1.6.1 Die erste Triggerstufe                    | 17        |
| 1.7 Das schnelle Kontrollsystem                 | 20        |
| <b>2 Der Aufbau der Triggerelektronik</b>       | <b>21</b> |
| 2.1 Die Trigger-Treiber-Karten                  | 22        |
| 2.2 Die Trigger-Link-Karten                     | 23        |
| 2.2.1 Die Datenformate                          | 25        |
| 2.2.2 Der Testmodus                             | 27        |
| 2.2.3 Die Steuersignale                         | 28        |
| 2.2.4 Messung der Bitfehlerrate                 | 29        |
| <b>3 Das Kontrollsystem der Triggerhardware</b> | <b>31</b> |
| 3.1 Einführung                                  | 31        |
| 3.2 Die JTAG-Schnittstelle                      | 32        |

|          |   |           |
|----------|---|-----------|
| 3.2.1    | Beschreibung des JTAG-Standard . . . . .                                  | 32        |
| 3.3      | Die wichtigsten Eigenschaften der verwendeten Boundary-Scan-Bausteine . . | 38        |
| 3.3.1    | Der XILINX-Chip . . . . .   | 38        |
| 3.3.2    | Der JTAG-Pfad-Multiplexer . . . . .                                       | 41        |
| 3.3.3    | Der JTAG-Bus-Transceiver . . . . .  | 42        |
| 3.4      | Die Elektronikkomponenten . . . . .                                       | 43        |
| 3.4.1    | Die JTAG Multiplexer- und Treiberkarte . . . . .                          | 43        |
| 3.4.2    | Die Spannungsversorgung der Trigger-Treiber-Karten . . . . .              | 44        |
| 3.4.3    | Die Trigger-Link-Karten . . . . .   | 45        |
| <b>4</b> | <b>Die Software des Kontrollsystems</b>                                   | <b>49</b> |
| 4.1      | Die HERA-B Slow-Control . . . . .   | 49        |
| 4.2      | Der Aufbau der ITR Trigger-Link Slow-Control . . . . .                    | 53        |
| 4.2.1    | Hilfsprogramme . . . . .  | 54        |
| 4.3      | Der Hardware-Treiber . . . . .  | 55        |
| 4.4      | Die Bedienung der Slow-Control . . . . .                                  | 57        |
| 4.4.1    | Programme und Dateien auf dem Rechner HBITRFLT . . . . .                  | 58        |
| 4.4.2    | Programme auf beliebigem HERA-B - PC . . . . .                            | 60        |
| <b>5</b> | <b>Simulationen</b>   | <b>63</b> |
| 5.1      | Einführung . . . . .  | 63        |
| 5.2      | Beitrag des inneren Spurkammersystems zur Triggereffizienz . . . . .      | 63        |
| 5.3      | Untersuchung zu einem geänderten Triggeralgorithmus . . . . .             | 66        |
|          | <b>Zusammenfassung und Ausblick</b>                                       | <b>75</b> |

# Einleitung

Symmetrien spielen im Leben b.z.w. in der Ansicht der Menschen eine besondere Rolle. Sie gelten als schön, erstrebenswert oder gar vollkommen. So hat der Mensch schon früh das Bestreben gehabt, seine Schöpfungen symmetrisch zu gestalten. Die Pyramiden, nicht nur die ägyptischen, sondern Pyramiden auf der ganzen Welt, sind vielleicht das beste Beispiel dafür. Auch in der sichtbaren Natur gibt es Symmetrien, der Mensch selber ist rechts-links-symmetrisch. Und erstaunlicher Weise findet man auch in der Physik zahlreiche Symmetrien, sie spielen sogar eine beherrschende Rolle. Symmetrien vereinfachen die Gesetze der Physik, sie sind die Ursache für Erhaltungssätze und ohne sie wäre die Physik vermutlich derart kompliziert, daß der Mensch sie nicht verstehen könnte.

Es gibt jedoch Grenzen oder Verletzungen der symmetrischen Gesetze. So ist etwa eine der grundlegendsten Symmetrien die der Invarianz gegenüber Verschiebungen in Raum und Zeit. Es ist natürlich intuitiv einsichtig, daß ein Experiment unter gleichen Bedingungen jetzt und hier genauso ausgehen sollte wie morgen in einem anderen Raum. Betreibt man die Zeitverschiebung jedoch bis zum Urknall, also zum Beginn von Zeit und Raum, so kommt die Selbstverständlichkeit der Zeit-Invarianz schnell ins Wanken. Denn wenn es kein *Vorher* mehr gibt, kann man auch keine zeitliche Verschiebung mehr durchführen [Hol96].

Für die Elementarteilchenphysik sind die drei diskreten Symmetrieoperationen Teilchenkonjugation  $\mathcal{C}$ , Raumspiegelung oder Parität  $\mathcal{P}$  und Zeitspiegelung  $\mathcal{T}$  besonders wichtig. Lange glaubte man, die Naturgesetze seien gegenüber diesen Transformationen invariant. Es stellte sich jedoch 1957 heraus, daß die schwache Wechselwirkung, die eine Drehrichtung bevorzugt, die  $\mathcal{P}$ -Invarianz verletzt.



C. Grupen: Spiegelsymmetrie? ( Aus: [HOL96] )

Auch bezüglich des Übergangs eines Teilchens in sein Antiteilchen, der Teilchenkonjugation, zeigte sich die schwache Wechselwirkung als nicht invariant. Gegenüber dem Produkt aus Teilchenkonjugation und Parität, der  $\mathcal{CP}$ -Transformation, erwies sich die schwache WW lange als invariant, bis schließlich 1964 in einem System der K-Mesonen auch die sogenannte  $\mathcal{CP}$ -Verletzung gefunden wurde. Die Forderung, daß die Physik invariant gegenüber dem Produkt aller drei Transformationen ist, gilt bis heute. Dieses  $\mathcal{CTP}$ -Theorem hat etwa zur Folge, daß es, zusammen mit der  $\mathcal{CP}$ -Verletzung, auch eine  $\mathcal{T}$ -Verletzung geben muß und daß die Massen von Teilchen und Antiteilchen übereinstimmen müssen.

Die  $\mathcal{CP}$ -Verletzung wird u.A. für das Ungleichgewicht zwischen Materie und Antimaterie im Universum verantwortlich gemacht. Die physikalischen Vorgänge z.B. in Teilchenbeschleunigern produzieren die gleiche Anzahl an Teilchen und ihren „Gegenstücken“. Dies sollte auch beim Urknall so gewesen sein. Später haben sich dann Teilchen und Antiteilchen gegenseitig unter Entstehung von Strahlung vernichtet. Diese Strahlung ist heute noch als kosmische Hintergrundstrahlung nachzuweisen. Wäre jedoch das Verhältnis von Materie und Antimaterie gleich gewesen, so wäre heute entweder keine Materie mehr vorhanden oder es müßte im Universum größere Mengen an Antimaterie nachweisbar sein, beides ist jedoch nicht der Fall.

Das HERA-B - Experiment hat das Ziel, Fragen bezüglich der  $\mathcal{CP}$ -Verletzung mit Hilfe des Zerfalls von  $B$ -Mesonen zu untersuchen. Die Symmetrieverletzung äußert sich dabei dadurch, daß die Wahrscheinlichkeiten für bestimmte Zerfälle für  $B$  und für  $\bar{B}$  unterschiedlich sind.

Zur Erzeugung der  $B$ -Mesonen werden am Speicherring HERA am Deutschen Elektronen Synchrotron ( DESY ) Protonen mit einer Energie von 920 GeV auf ein festes Target geschossen. Der dabei untersuchte Kanal wird jedoch von einem um sechs Größenordnungen stärkeren Untergrund überdeckt. Um diesen Untergrund zu unterdrücken, wurde ein 4-stufiges Triggersystem entwickelt. Die vorliegende Arbeit beschreibt die Soft- und die Hardware, die erforderlich ist, um das innere Spurkammersystem des HERA-B - Detektors an die erste dieser vier Triggerstufen anzubinden.

Das erste Kapitel beschreibt die Grundlagen des HERA-B Experiments und die für diese Arbeit besonders wichtigen Komponenten wie die inneren Spurkammern und den Trigger. Das zweite Kapitel widmet sich dem Aufbau und der Funktionsweise des Trigger-Link des Inner-Tracker. Kapitel 3 und Kapitel 4 beschreiben speziell die Slow-Control des Trigger-Link, aufgeteilt in Hard- und Software. Im letzten Kapitel werden anhand von Simulationen die Auswirkungen von verschiedenen Inner-Tracker-Konfigurationen auf den Gesamt-Trigger untersucht.

# 1 Das HERA-B Experiment

## 1.1 Der Speicherring HERA

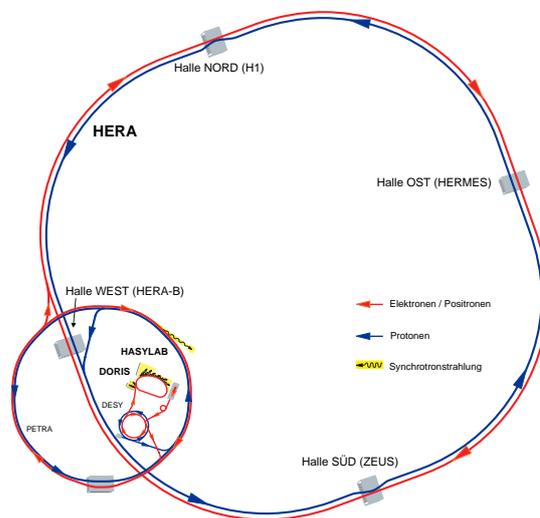


Abb. 1.1: Der HERA Speicherring

Der Speicherring HERA<sup>1</sup> ( Abb. 1.1 ) befindet sich am Deutschen Elektronen Synchrotron DESY in Hamburg. In ihm werden Protonen und Elektronen in entgegengesetzte Richtungen beschleunigt. Die Protonen erreichen dabei auf dem 6,3 km langen Ring eine Energie von 920 GeV, die Elektronen 27,5 GeV. An zwei der vier Wechselwirkungspunkten werden die Elektronen und die Protonen zur Kollision gebracht. An diesen Orten stehen die Experimente H1 und ZEUS, die die Struktur der Protonen untersuchen. Das Experiment HERMES untersucht mit Hilfe des Elektronenstrahls und eines Gastargets die Spinverteilung der Quarks im Proton. HERA-B schließlich soll die  $CP$ -Verletzung im  $B$ -System messen.

---

<sup>1</sup>Hadron-Elektron Ring Anlage

## 1.2 Die Physik: CP-Verletzung<sup>1</sup>

Das Standardmodell der Elementarteilchen beschreibt die elementaren Bausteine der Materie und ihre Wechselwirkungen untereinander. Dabei wird die Materie aus je drei Familien von Leptonen

$$\begin{pmatrix} \nu_e \\ e \end{pmatrix} \begin{pmatrix} \nu_\mu \\ \mu \end{pmatrix} \begin{pmatrix} \nu_\tau \\ \tau \end{pmatrix}$$

und Quarks

$$\begin{pmatrix} u \\ d \end{pmatrix} \begin{pmatrix} c \\ s \end{pmatrix} \begin{pmatrix} t \\ b \end{pmatrix}$$

aufgebaut. Die Wechselwirkungen zwischen diesen Teilchen, die elektroschwache und die starke Wechselwirkung, werden in dieser Theorie durch Austauschteilchen beschrieben.

Die Ergebnisse der bisher durchgeführten Experimente zur Überprüfung des Standardmodells stehen in guter Übereinstimmung mit den Vorhersagen der Theorie, viele wichtige Konstanten wurden mittlerweile bestimmt. Es gibt jedoch (mindestens) drei wichtige Fragen, die noch nicht eindeutig geklärt sind:

- Die Existenz des Higgs-Teilchens.  
Sie wird von der Theorie gefordert, konnte bis jetzt jedoch nicht experimentell bewiesen werden.
- Die Neutrinooszillation.  
Es ist bisher unklar, ob sich Neutrinos ineinander umwandeln können. Sollte dies möglich sein, so müssten sie eine Masse besitzen. Dies hätte u.A. gravierende Auswirkungen auf die Kosmologie.
- Die CP-Verletzung.  
Sie wurde 1964 bei Zerfällen neutraler K-Mesonen entdeckt. Die Ursache ist jedoch ungeklärt und man versucht durch neue Experimente, das Verständnis für dieses Phänomen zu vertiefen.

Bei HERA-B wird nach der CP-Verletzung beim Zerfall neutraler B-Mesonen gesucht. Besonders geeignet ist hierfür der Zerfall

$$B^0 \rightarrow J/\psi K_S^0$$

---

<sup>1</sup>Aufgrund neuerer Ergebnisse in den Experimenten Babar (SLAC) und Belle (KEK) hat sich inzwischen die physikalische Zielrichtung geändert (  $J/\psi$  -Produktion in Kernen ). Die Anforderungen an den Detektor sind jedoch unverändert geblieben.

da er über die Sekundärzerfälle  $J/\psi \rightarrow \mu^+\mu^-$  b.z.w  $J/\psi \rightarrow e^+e^-$  und  $K_S^0 \rightarrow \pi^+\pi^-$  zu einer klaren experimentellen Signatur, einem Leptonpaar und einem  $K_S^0$ -Zerfall, führt. Dieser Zerfall wird deshalb auch „goldener Zerfall“ genannt. Der Zerfall kann direkt ( $B^0 \rightarrow X$ ) oder über eine vorangegangene  $B^0 \rightarrow \bar{B}^0$ -Umwandlung ( $B^0 \rightarrow \bar{B}^0 \rightarrow X$ ) erfolgen. Die  $\mathcal{CP}$ -Verletzung äußert sich dabei in einem geringfügig verschiedenen Verzweungsverhältnis der beiden Zerfälle. Daneben werden bei HERA-B auch noch die Zerfallskanäle  $B^0 \rightarrow \pi^+\pi^-$  und  $B^0 \rightarrow \rho^0 K_S^0$  untersucht, die jedoch in geringerer Zahl auftreten.

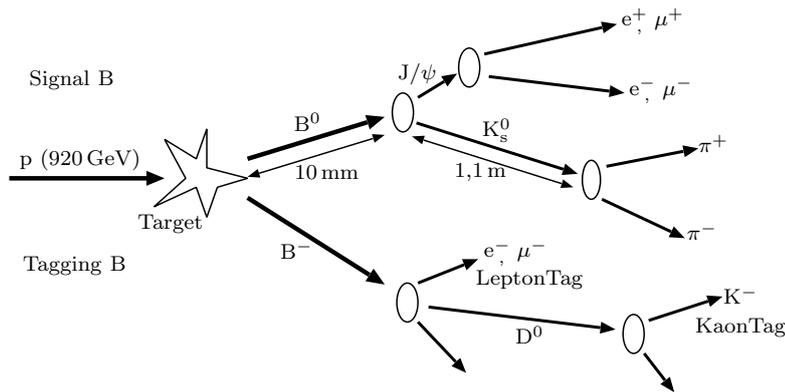


Abb. 1.2: Der „goldene“ Zerfall:  $B^0 \rightarrow J/\psi K_S^0 \rightarrow l^+l^-\pi^+\pi^-$

Eine experimentelle Schwierigkeit liegt in der Tatsache, daß aus dem Endzustand nicht darauf geschlossen werden kann, ob das zerfallene  $B$ -Meson, auch *Signal B* genannt, als ein  $B^0$  oder als ein  $\bar{B}^0$  erzeugt worden ist. Zu diesem Zweck wird das zweite  $B$ -Meson, das bei der Reaktion entstanden ist, untersucht. Dieses wird auch als *Tagging*<sup>1</sup>  $B$  bezeichnet. Ist das Tagging  $B$  ein  $B^-$ , so enthält es ein  $b$ -Quark. Das Signal  $B$  muß demnach ein  $\bar{b}$ -Quark enthalten, es ist also ein  $B^0$ . In Abb. 1.2 wird dieser Sachverhalt verdeutlicht.

Bei Zerfällen der schwachen Wechselwirkung dieser Art ist grundsätzlich ein Quark der Ladung  $-1/3$  und ein Quark der Ladung  $2/3$  beteiligt, die ineinander umgewandelt werden. Es ergeben sich daher neun Möglichkeiten der Umwandlung. Die Amplituden dieser möglichen Umwandlungen lassen sich in einer  $3 \times 3$ -Matrix, der sogenannten *Cabibbo-Kobayashi-Maskawa Quark Matrix*<sup>2</sup>, darstellen:

$$V = \begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix}$$

<sup>1</sup>engl.: Identifizieren

<sup>2</sup>Kurz auch CKM-Matrix

Wegen der Teilchenzahlerhaltung muß für die CKM-Matrix die Unitaritätsbedingung

$$\sum_j V_{ij}V_{jk} = \delta_{ik}$$

erfüllt sein, was die Anzahl der unabhängigen Parameter auf vier reduziert. Diese werden als drei Mischungswinkel und eine Phase interpretiert. Mit Hilfe der sogenannten Wolfenstein-Parametrisierung und der Annahme, daß die Mischungswinkel klein sind, kann für die CKM-Matrix folgende Näherungsformel erstellt werden:

$$V = \begin{pmatrix} 1 - \lambda^2/2 & \lambda & \lambda^3 A(\rho - i\eta) \\ -\lambda & 1 - \lambda^2/2 & \lambda^2 A \\ \lambda^3 A(1 - \rho - i\eta) & -\lambda^2 A & 1 \end{pmatrix}$$

wobei experimentell ein Wert für  $\lambda$  von etwa 0.22 ermittelt wurde [M<sup>+</sup>96]. Für die  $B$ -Physik wichtig ist die Unitaritätsbedingung

$$V_{ud}V_{ub}^* + V_{cd}V_{cb}^* + V_{td}V_{tb}^* = 0$$

Diese Beziehung läßt sich als sogenanntes Unitaritätsdreieck in der komplexen Ebene darstellen, Abb. 1.3.

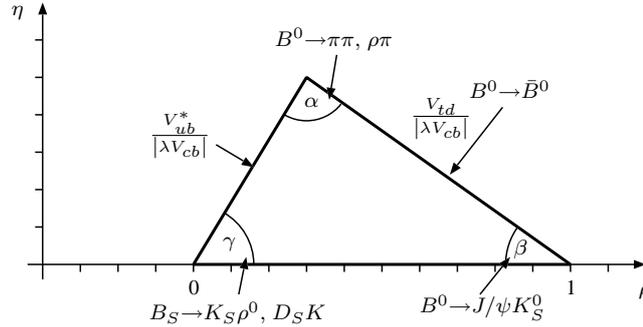


Abb. 1.3: Das Unitaritätsdreieck der CKM-Matrix in der  $\rho - \eta$  - Ebene

Die Fläche des Dreiecks ist dabei ein Maß für die Größe der  $\mathcal{CP}$ -Verletzung. Die Anwendung der  $\mathcal{CP}$ -Operation entspricht dem Übergang eines Matrixelementes in sein konjugiert komplexes

$$V_{ik} \xrightarrow{\mathcal{CP}} V_{ik}^*$$

$\mathcal{CP}$ -Verletzung tritt also auf, wenn die CKM-Matrix nicht rein reell ist b.z.w. die Fläche des Unitaritätsdreiecks ungleich Null ist, wenn also  $\eta \neq 0$  gilt.

Die Winkel des Unitaritätsdreiecks sind mit den Kanälen des  $B^0$ -Zerfalls verknüpft, wie in Abb. 1.3 dargestellt. Eines der Ziele von HERA-B ist es, die Größe von  $\sin(2\beta)$  über die

Asymmetrie des  $B^0 \rightarrow J/\psi K_S^0$  – Zerfalls zu bestimmen. Desweiteren können die Winkel  $\alpha$  und  $\gamma$  über die  $B^0 \rightarrow \pi^+\pi^-$  und die  $B_S \rightarrow K_S\rho^0$  – Zerfälle bestimmt werden.

( Quellen für dieses Kapitel: [BaB98], [Ber92], [SP97], [DES94] )

## 1.3 Der Detektor

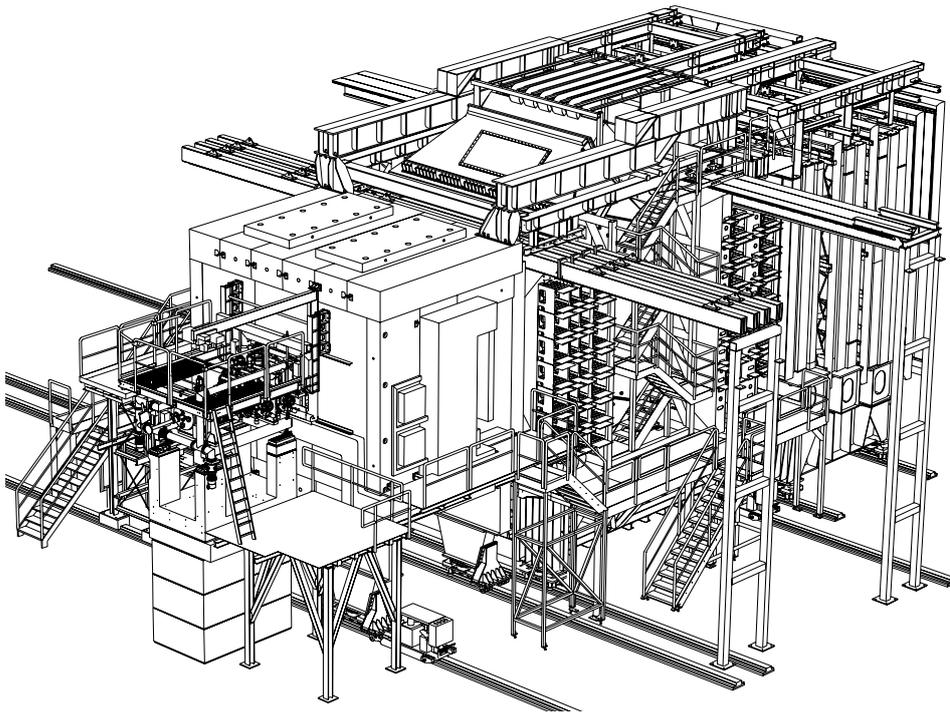


Abb. 1.4: Ansicht des HERA-B Detektors

Das HERA-B Experiment wurde unter anderem geplant, um den  $B^0 \rightarrow J/\psi K_S^0$  Zerfall zu untersuchen. Um in einer annehmbaren Zeit eine genügend große Statistik zu erhalten, wird eine Ereignisrate benötigt, die ein Mehrfaches der 10 MHz Bunch-Crossing-Rate des HERA-Speicherringes beträgt [DES95]. Um dies zu erreichen, können bei HERA-B acht Target-Drähte in den Halo des Protonenstrahls geführt werden. Die dabei entstehenden hohen Teilchenraten von bis zu  $10^5$   $1/\text{mm}^2\text{s}$  erfordern spezielle Anforderungen an Detektor, Auslese- und Triggersystem.

Die Abbildungen 1.4 und 1.5 zeigen eine Ansicht und den schematischen Aufbau des HERA-B Detektors. Dabei können die Aufgaben der einzelnen Detektorkomponenten grob in **Spurdetektion** und **Teilchenidentifikation** unterteilt werden:

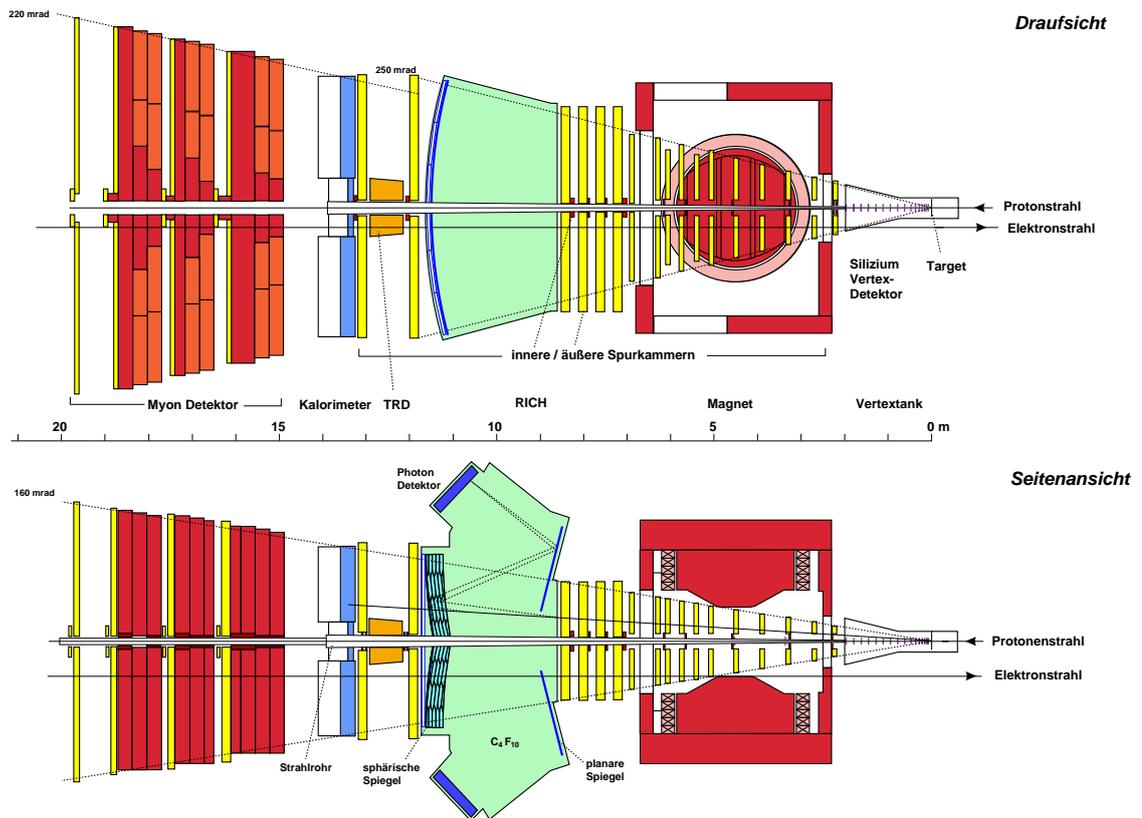


Abb. 1.5: Schematischer Aufbau des HERA-B Detektors

## 1.3.1 Detektoren zur Spurfindung

Zur Spurrekonstruktion wurde beim HERA-B Experiment ein mehrstufiges Tracking-System aufgebaut. Die verwendbare Technologie der eingesetzten Detektoren wird dabei im wesentlichen vom Abstand vom Strahlrohr bestimmt, da die Teilchenrate mit zunehmendem Abstand etwa mit dessen Quadrat abnimmt.

Der **Silizium Vertex-Detektor (SVD)**<sup>1</sup> besteht aus Siliziumstreifendetektoren und besitzt eine Auflösung von ca.  $25 \mu\text{m}$ . Er dient u.a. der Bestimmung des genauen Wechselwirkungspunktes. Der minimale Radius des SVD beträgt 1 cm und ist durch die maximal zumutbare Strahlenbelastung limitiert.

In dem Bereich bis 30 cm um das Strahlrohr herum werden etwa 50% der Teilchenspuren erwartet. Dieser Bereich wird von den **inneren Spurkammern**<sup>2</sup> abgedeckt, die in folgendem Kapitel noch näher beschrieben werden.

<sup>1</sup>auch **V**ertex **D**etector **S**ystem, VDS

<sup>2</sup>auch **I**nnere **T**racker, ITR

Die **äußeren Spurkammern**<sup>1</sup> decken den Bereich außerhalb des ITR bis zu einem Winkel von maximal 250 mrad zur Strahlachse ab. Er wurden als sogenannte Honeycomb-Driftkammern realisiert. Die Driftzellengröße variiert je nach Abstand vom Protonenstrahl zwischen 5 mm und 10 mm.

Ein Teil der ITR- und der OTR-Kammern befindet sich in dem Bereich des Magneten, mit dem sie zusammen ein magnetisches Spektrometer bilden. So können Teilchen nach Ladung und Impuls voneinander getrennt werden.

Das **Muon-System** dient sowohl der Spurrekonstruktion als auch der Muonidentifikation. Es besteht aus mehreren Schichten von Absorberblöcken und Detektoren. Die Absorber stellen dabei einen Muon-Filter dar, der für andere Teilchen undurchdringbar ist. Der Detektor selbst besteht innen aus Gas-Pixel-Kammern, weiter außen aus Driftröhren.

Das innere Spurkammersystem, das äußere Spurkammersystem und das Muon-System tragen auch zum First Level Trigger b.z.w. zum Pretrigger bei, wie es auch in Kap. 1.6 beschrieben ist.

### 1.3.2 Detektoren zur Teilchenbestimmung

Das **High-p<sub>T</sub>**-System besteht aus Gaspixel- und Straw-Tube-Kammern und identifiziert Teilchen mit hohem Transversalimpuls. Es dient dem Trigger bei der Identifikation des hadronischen  $B^0$ -Zerfalls  $B^0 \rightarrow \pi^+\pi^-$ .

Der **Übergangs Strahlungs Detektor**<sup>2</sup> dient der Unterscheidung von Elektronen und Hadronen. Bei diesem Detektor wird die Tatsache ausgenutzt, daß relativistische Teilchen beim Durchgang eines Übergangs von zwei Medien mit unterschiedlicher Dielektrizität Strahlung abgeben. Die dabei abgestrahlte Energie ist proportional zum Lorentzfaktor  $\gamma = E/mc^2$  des Teilchens und wird in Vorwärtsrichtung unter einem Öffnungswinkel der Größenordnung  $1/\gamma$  abgestrahlt [Gru96].

Ein **Ringabbildender Čerenkov-Zähler**<sup>3</sup> ermöglicht die Unterscheidung der Kaonen von den Pionen und den Protonen. Er besteht aus einem ca. 108 m<sup>3</sup> großen Tank, der mit C<sub>4</sub>F<sub>10</sub> gefüllt ist. Außerdem existieren zwei sphärischen Spiegel, zwei ebene Spiegel und natürlich ein Photodetektor- und Auslesesystem. Das Meßprinzip dieses Detektors beruht auf der Tatsache, daß der Öffnungswinkel der von relativistischen Teilchen abgegebenen Čerenkov-Strahlung von deren Geschwindigkeit  $\beta = v/c$  abhängt. Bei bekanntem Teilchenimpuls kann so eine Teilchenbestimmung erfolgen.

<sup>1</sup>auch Outer Tracker, OTR

<sup>2</sup>auch Transition Radiation Detector, TRD

<sup>3</sup>Ring Imaging Čerenkov Counter, RICH

Das **Elektromagnetische Kalorimeter**<sup>1</sup> unterscheidet Elektronen und Pionen. Es besteht aus Absorbern aus Blei b.z.w. einer Wolfram-Nickel-Eisen-Legierung, in die szintillierende Fibern eingearbeitet sind. Auch das ECAL liefert Informationen für den FLT.

## 1.4 Das Innere Spurkammersystem

Zusammen mit dem Vertex-Detektor und den äußeren Spurkammern bilden die inneren Spurkammern, auch **Inner Tracker** oder kurz **ITR** genannt, das gesamte Spurkammersystem des HERA-B Experimentes. Natürlich werden an jeden Detektor seiner Position und seiner Aufgabe entsprechend besondere Anforderungen gestellt. Bei den inneren Spurkammern ist dies insbesondere die Verträglichkeit gegenüber einer hohen Teilchenrate von bis zu  $10^4$   $1/\text{mm}^2\text{s}$ , wie sie in der Nähe des Strahlrohres herrscht. Außerdem soll der Detektor eine Ortsauflösung von  $\Delta x \leq 100 \mu\text{m}$  in horizontaler Richtung,  $\Delta y \leq 1 \text{ mm}$  in vertikaler Richtung und  $\Delta z \leq 3 \text{ mm}$  entlang des Strahlrohres erreichen. Die Kammern des ITR decken den Bereich von 6 cm bis 30 cm um das Strahlrohr herum ab. Die gesamte Detektorfläche des Inner-Tracker's beträgt mehr als  $10 \text{ m}^2$ .

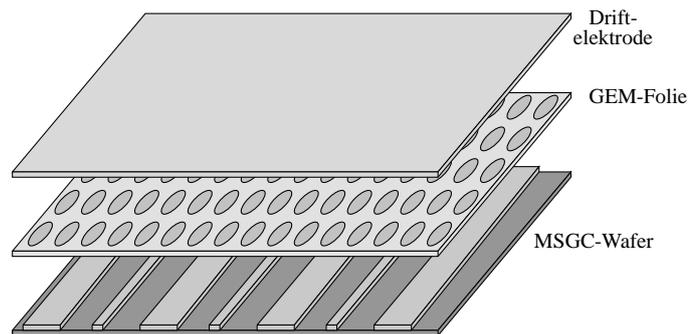


Abb. 1.6: Schematischer Aufbau einer GEM-MSGC.

Um diese Anforderungen erfüllen zu können, wurde der Detektor als Mikrostreifen-Gasdetektor<sup>2</sup> ausgeführt. Vor dem Einsatz beim HERA-B -Experiment wurden an diesem Kammer-typ der an dem physikalischen Institut Heidelberg, der Universität Zürich und der Universität Siegen intensive Studien betrieben. Da sich MSGC's ohne GEM's unter der hohen Strahlendosis nicht bewährt haben, wurden die Kammern mit einer Gasvorverstärkung mittels einer GEM<sup>3</sup>-Folie ausgestattet. Abbildung 1.6 zeigt eine Prinzipansicht dieser GEM-MSGC's.

---

<sup>1</sup>auch **E**lectromagnetic **C**alorimeter, ECAL

<sup>2</sup>auch MSGC, **M**icro **S**trip **G**as **C**hamber

<sup>3</sup>**G**as **E**lektron **M**ultiplier, Gas Elektronen Vervielfacher

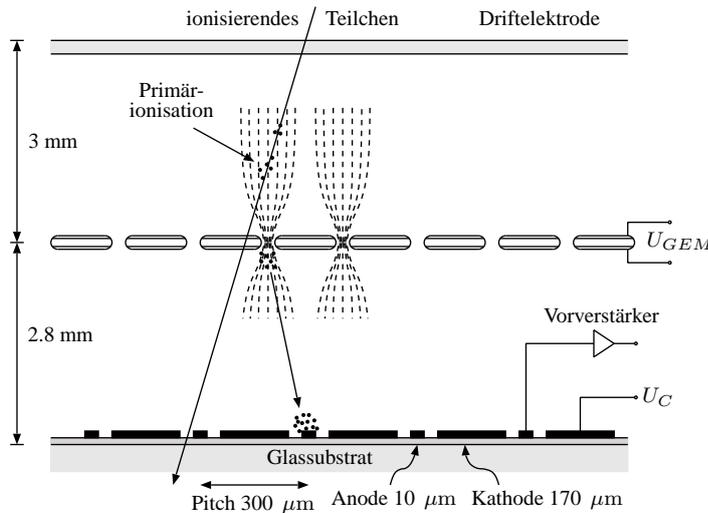


Abb. 1.7: Querschnitt durch eine GEM-MSGC (nicht maßstäblich) nach [Ric00].

In Abbildung 1.7 ist der Aufbau dieses Kammertyps zu sehen. Auf einem Glassubstrat sind  $10\ \mu\text{m}$  breite Anodenstreifen und  $170\ \mu\text{m}$  breite Kathodenstreifen aufgebracht. Zwischen Substrat und Anoden- b.z.w. Kathodenstreifen befindet sich eine Diamant-Beschichtung, um durch einen definierten Widerstand Aufladungseffekte auf dem Glas zu vermeiden. Der Pitch<sup>1</sup>, also der Abstand zwischen zwei aufeinanderfolgenden Anoden, beträgt  $300\ \mu\text{m}$ . In einem Abstand von  $2.8\ \text{mm}$  über dem Substrat befindet sich die GEM-Folie,  $3\ \text{mm}$  darüber ist die Driftelektrode montiert. Das Volumen des Detektors ist mit einem Zählgas gefüllt, derzeit wird ein Gemisch von  $70\%$  Ar und  $30\%$   $\text{CO}_2$  verwendet. Die Kammern haben einen aktiven Bereich von etwa  $23 \times 25\ \text{cm}^2$ .

Die Spannung der Driftelektrode beträgt ca.  $-2.5\ \text{kV}$ . Die Spannungsdifferenz zwischen den beiden Seiten der GEM-Folie liegt zwischen  $420$  und  $460\ \text{V}$ , das mittlere Potential der GEM befindet etwa auf der Hälfte des Potentials der Driftelektrode. Die Anoden haben Massepotential, die Spannung der Kathoden liegt ca.  $510\ \text{V}$  darunter<sup>2</sup> [DES00].

Die GEM besteht aus einer ca.  $50\ \mu\text{m}$  dicken Kaptonfolie, die beidseitig mit Kupfer beschichtet ist. In der Folie befinden sich Löcher mit einem Durchmesser von ca.  $55\ \mu\text{m}$ , das Kupfer weist an diesen Stellen ein Loch mit einem Durchmesser von  $95\ \mu\text{m}$  auf. Der Abstand der versetzt angeordneten Löcher beträgt  $140\ \mu\text{m}$ . Abb. 1.8 zeigt Aufnahmen der GEM-Folie.

<sup>1</sup>engl.: die Teilung, die Zellenbreite

<sup>2</sup>Die angegebenen Spannungen sind nur Richtwerte. Die tatsächlichen Größen werden stets den bestehenden Betriebsbedingungen angepasst. Auch ändern sich die Werte mit wachsender Erfahrung im Betrieb der Kammern.

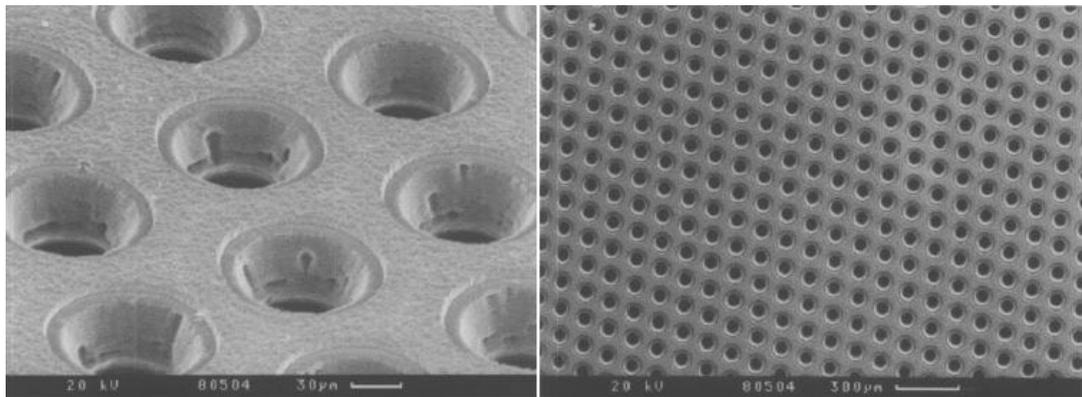


Abb. 1.8: Photographien der GEM-Folie.

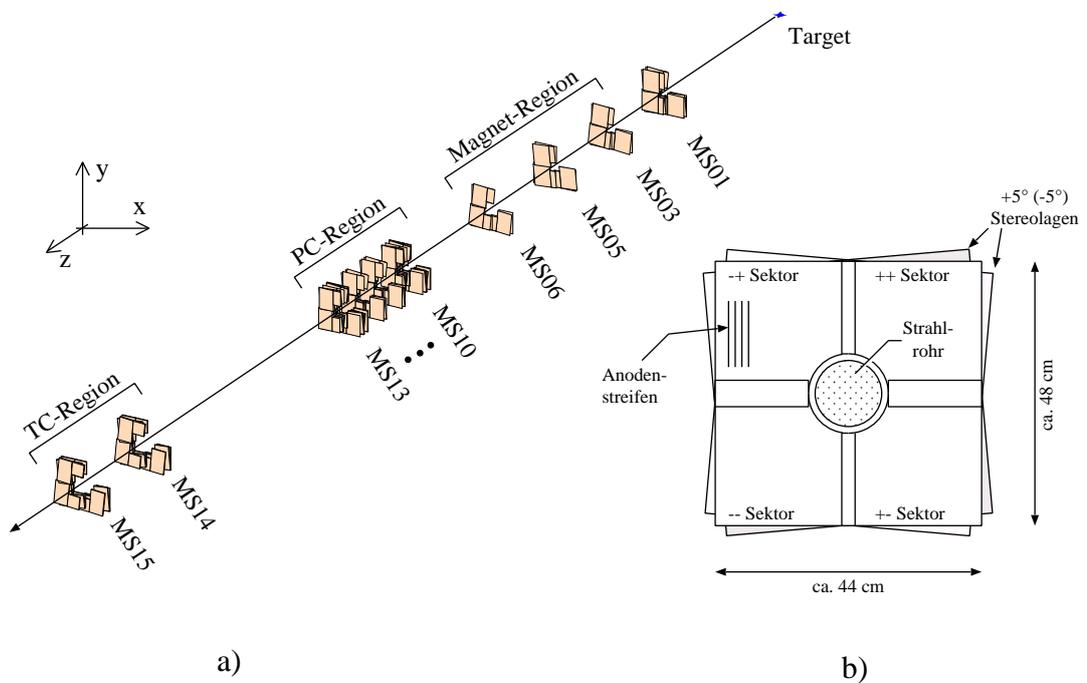


Abb. 1.9: a) Die Anordnung des ITR entlang des Strahlrohres. b) Die Anordnung der Detektor-Kammern innerhalb einer Station.

Abb. 1.7 zeigt auch die prinzipielle Funktionsweise der GEM-MSGC's. Beim Durchgang eines geladenen Teilchens durch das mit Zählgas gefüllte Volumen einer Kammer werden einige Gasatome ionisiert. Die freigewordenen Elektronen wandern unter Einfluß des Driftfeldes in Richtung der MSGC. Beim Passieren der GEM werden sie beschleunigt und ionisieren weitere Atome, dieser Vorgang wird als Gasverstärkung bezeichnet. Durch das zwischen

Kathoden und Anoden herrschende Feld findet in der Nähe der Anoden eine weitere Gasverstärkung statt. Die Elektronen sammeln sich schließlich an einer Anode und erzeugen dort ein elektrisches Signal, das über einen Verstärker ausgelesen wird.

Es werden zehn Stationen von Inner-Tracker-Kammern entlang des Strahlrohres positioniert, siehe Abb. 1.9 a). Davon befinden sich vier innerhalb des Magneten, bei denen besonderer Wert auf eine Unempfindlichkeit gegenüber einem Magnetfeld der Stärke 0.8 T gelegt werden muß. Um eine Ortsauflösung in y-Richtung zu erreichen, werden neben sogenannten Null-Grad-Lagen, deren Anodenstreifen parallel zur y-Achse verlaufen,  $+5^\circ$  und  $-5^\circ$ -Lagen installiert, Abb. 1.9 b).

Die Stationen MS10, MS13, MS14 und MS15 sind als *Trigger-Stationen* konzipiert worden. Bei diesen Stationen werden die Daten einer  $0^\circ$ -, einer  $+5^\circ$ - und einer  $-5^\circ$ -Doppellage nach dem Durchgang durch eine Komparatorschaltung, wie sie in folgendem Kapitel beschrieben ist, dem First Level Trigger zur Verfügung gestellt. Die Triggerlagen sind als Doppellagen ausgeführt, um die Effizienz zu erhöhen. Dies wird in Kap. 5 noch näher untersucht.

## 1.5 Der Helix-Chip

Der Helix-Auslesechip wurde im ASIC-Labor der Universität Heidelberg entwickelt. Er ist speziell für die Analog-Auslese von Silikon-Mikrostreifen-Detektoren sowie MSGC-Kammern konzipiert. Der Baustein hat 128 Kanäle, von denen jeder folgende Komponenten enthält ( aus [FR<sup>+</sup>99] ):

- einen rauscharmen Vorverstärker für positive und negative Signale,
- einen Pulsformer mit einer Pulsbreite von 50 nsec ... 70 nsec,
- einen Zwischenverstärker zum Beschreiben der Pipeline,
- einen Komparator, der ein Triggerimpuls liefert, falls das Signal über einer einstellbaren Schwelle liegt,
- eine analoge Pipeline, in der die Daten von 128 Ereignissen zwischengespeichert werden können,
- einen Pipeline-Ausleseverstärker.

Die Pipeline erlaubt eine Zwischenspeicherung der Daten von ca. 12  $\mu$ sec, was etwa der Latenzzeit des First Level Triggers entspricht. Mittels eines Multiplexers können die Analogdaten der 128 Kanäle seriell über den *AnalogOut*-Ausgang ausgelesen werden. In Abb 1.10 ist der Aufbau eines Kanals und des Multiplexers mit Ausgangspuffer zu sehen.

# 1 Das HERA-B Experiment

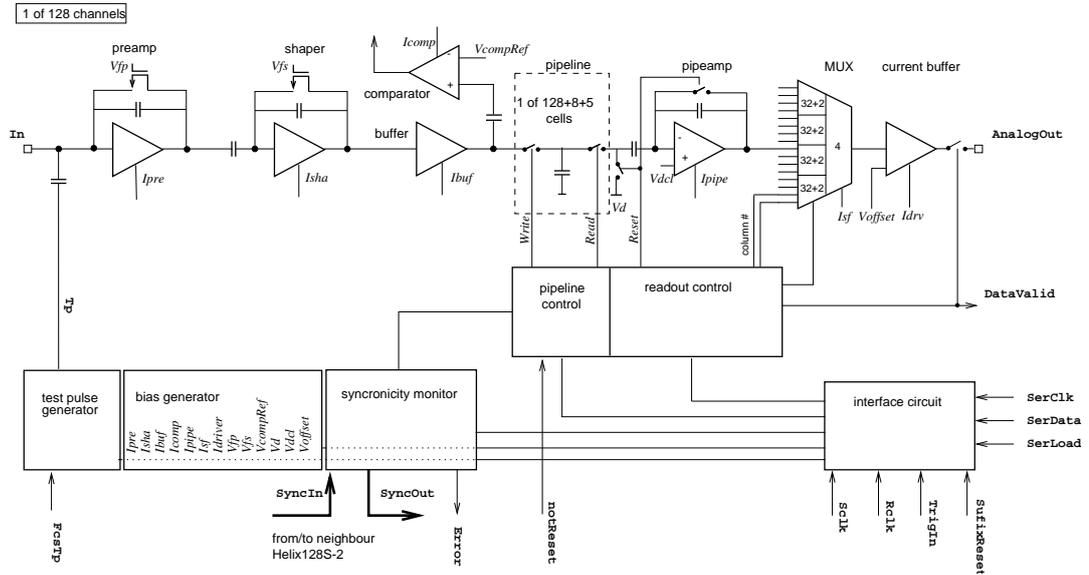


Abb. 1.10: Schematische Darstellung eines Kanals des Helix-Chips. Aus [FR<sup>+</sup>99].

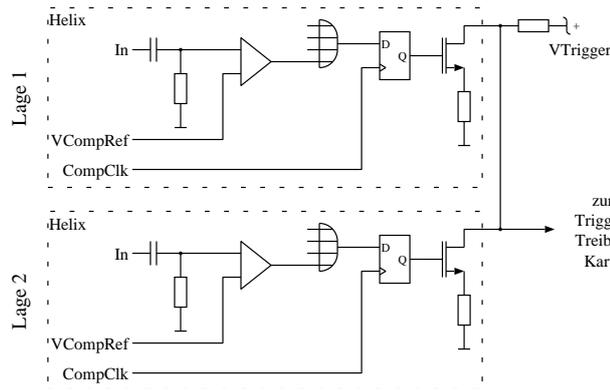


Abb. 1.11: Schema der Komparator-Schaltung des Helix-Chips [FR<sup>+</sup>99].

Neben der analogen Auslese wurde speziell für den Inner Tracker ein Triggerpfad in den Helix-Chip implementiert. Dabei wird das Analogsignal in einer Komparatorstufe mit einer einstellbaren Referenzspannung ( $V_{CompRef}$  in Abb. 1.11) verglichen. Danach werden jeweils vier benachbarte Kanäle verodert und mittels eines D-Flipflops zur Experimentclock synchronisiert. Nach einer Open-Drain-Ausgangsstufe steht das Signal an einem Pin des Helix zur Verfügung. Um die Effizienz solch einer Triggerlage zu erhöhen, werden immer zwei MSGC-Kammern zu einer Doppellage zusammengebaut, siehe auch Kap. 5.2. Deren Trigger-Ausgänge werden über Wired-Or miteinander verknüpft und mittels eines Pull-Up-Widerstandes an  $V_{Trigger}$  angeschlossen. Um die Störungen in der Versorgungsspannung beim Schalten der Ausgänge möglichst gering zu halten, liegt  $V_{Trigger}$  bei nur etwa 500 mV. Die Referenz-

spannung der Komparatorstufe kann über die Slow-Control des Helix-Chips eingestellt werden [Gra98].

## 1.6 Der Trigger

Mit einer Frequenz von 10.4 MHz passiert der Protonenstrahl des Hera-Speicherringes das Target des Experiments. Dabei kommt es durchschnittlich zu 4 Wechselwirkungen, wobei bei jeder ca. 120 Teilchenspuren entstehen, die detektiert werden müssen. Der gesamte Detektor besteht aus ca. 550 000 Kanälen. Dies führt zu einer enormen Datenmenge, deren Speicherung zur späteren Analyse die derzeitigen technischen Möglichkeiten bei weitem überschreitet. Aufgabe des Trigger-Systems bei HERA-B ist es daher, aus den gesamten Daten die physikalisch interessanten Ereignisse herauszufiltern und diese dann auf Datenträger zu speichern. Das Verhältnis von Signal zu Untergrund beträgt dabei etwa  $10^{-9}$  bis  $10^{-11}$  [Med97].

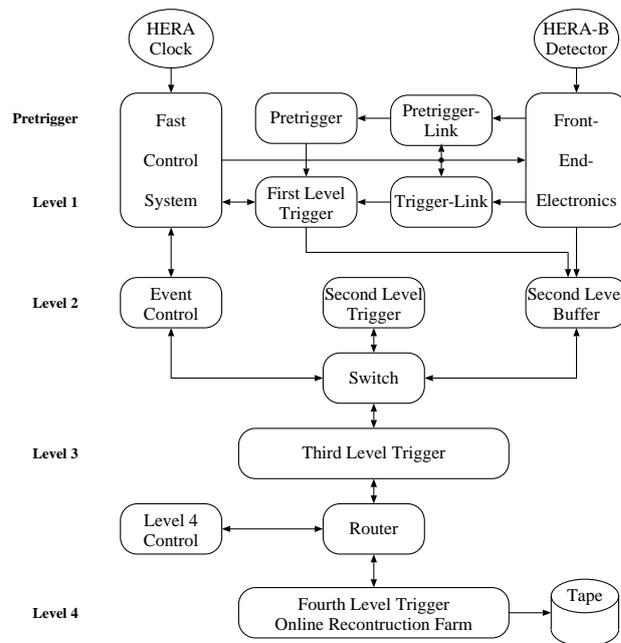


Abb. 1.12: Die Architektur des Datennahme- und Triggersystems [Med97]

Um diese Aufgabe zu erfüllen, wurde ein mehrstufiges Triggersystem entwickelt, wie es die Abbildung 1.12 zeigt. Dabei berechnet der **Pretrigger** aus Daten des Kalorimeters, der Muon-Kammern und des High- $p_T$ -Detektors sogenannte **Region of Interest's** (ROI), in denen die erste Triggerstufe, auch als **First Level Trigger** (FLT) bezeichnet, nach Muon- oder Elektronenspuren sucht. Bis der FLT eine Entscheidung getroffen hat, werden die Analogdaten der Detektoren in einem 128 Zellen großen Zwischenspeicher, dem **First Level Buffer** (FLB),

gepuffert. Beim Inneren Spurkammersystem wird dieser Puffer durch die oben beschriebene analoge Pipeline im Helix-Baustein realisiert. Die Größe dieses Zwischenspeichers und die Ereignisrate von 10.4 MHz begrenzt die zulässige Latenzzeit der ersten Triggerstufe auf ca. 12  $\mu\text{sec}$ . Um die großen Datenmengen in dieser kurzen Zeit bearbeiten zu können, wurde eine spezielle Elektronik für diesen Zweck entwickelt, die in Kap. 1.6.1 noch näher beschrieben wird.

Wenn der FLT einen Spurkandidaten gefunden hat, werden die dazugehörigen Daten aus dem FLB in den **Second Level Buffer** (SLB) geschrieben, um für den **Second Level Trigger** (SLT) zur verfeinerten Spurensuche zur Verfügung zu stehen. Anstatt durch spezielle Hardware wird diese Triggerstufe auf einer Rechenfarm bestehend aus 200 Pentium-II Personal-Computern realisiert. Dies ermöglicht eine große Flexibilität bei der Entwicklung des Triggeralgorithmus sowie die Möglichkeit, spätere Änderungen besser realisieren zu können. Die zweite Triggerstufe verfeinert die Auswahl der vom FLT getroffenen Spuranwerter, indem die Daten aller Spurdetektoren hinter dem Magneten als auch des Vertex-Detektors in die Triggerentscheidung einbezogen werden. Bei der Erkennung von Leptonpaaren aus dem  $J/\psi$ -Zerfall soll diese Triggerstufe bei einer Eingangsrate von 50kHz und einer Hintergrundreduktion um den Faktor 100 eine Effizienz von etwa 90% erreichen.

| Triggerstufe | Eingangsrate | Mittlere Latenzzeit | Datenfluß [MByte/s] |
|--------------|--------------|---------------------|---------------------|
| Pretrigger   | 10 MHz       | 1 $\mu\text{sec}$   | 90 000              |
| 1            | 10 MHz       | 12 $\mu\text{sec}$  | 10 000              |
| 2            | 50 kHz       | 3 msec              | 250                 |
| 3            | 500 Hz       | 200 msec            | 250                 |
| 4            | 50 Hz        | 4 sec               | 6                   |

Tabelle 1.1: Die Eingangsraten, die Latenzzeiten und der Datenfluß der einzelnen Triggerstufen. Nach [Med97].

Nach der zweiten Triggerstufe wurde die Datenmenge so weit reduziert, daß in der dritten Stufe, dem **Third Level Trigger** (TLT), erstmalig alle Detektordaten berücksichtigt werden und das gesamte Ereignis rekonstruiert werden kann. Nach einer weiteren Klassifizierung und Selektion der Ereignisse in der vierten Triggerstufe, dem **Fourth Level Trigger** (4LT), werden die ausgewählten Daten mit einer Ausgangsrate von ca. 20 Hertz auf einen zentralen Rechner zur Archivierung übertragen. Auch diese beiden Triggerstufen laufen auf einer Rechenfarm, die aus 100 Personal-Computern mit je 2 Pentium III-Prozessoren besteht.

Tabelle 1.1 zeigt die Eingangsraten der verschiedenen Triggerstufen. Außerdem ist die mittlere Latenzzeit und der Datenfluß aufgelistet.

### 1.6.1 Die erste Triggerstufe

Um die hohen Anforderungen, die an den First Level Trigger gestellt werden, erfüllen zu können, wurde ein System aus speziell dafür entwickelten Prozessor-Karten aufgebaut. Abbildung 1.13 zeigt neben dem Detektor das Schema des FLT-Netzwerkes, das aus drei verschiedenen Arten von Prozessoren aufgebaut ist: Die **Track Finding Unit's** (TFU) dienen der Spurensuche in den inneren und äußeren Spurkammerlagen. Die **Trigger Parameter Unit's** (TPU) dienen der Berechnung der kinematischen Parameter der Spuren. Letztlich existiert noch eine **Trigger Decision Unit** (TDU), die die endgültige Trigger-Entscheidung fällt.

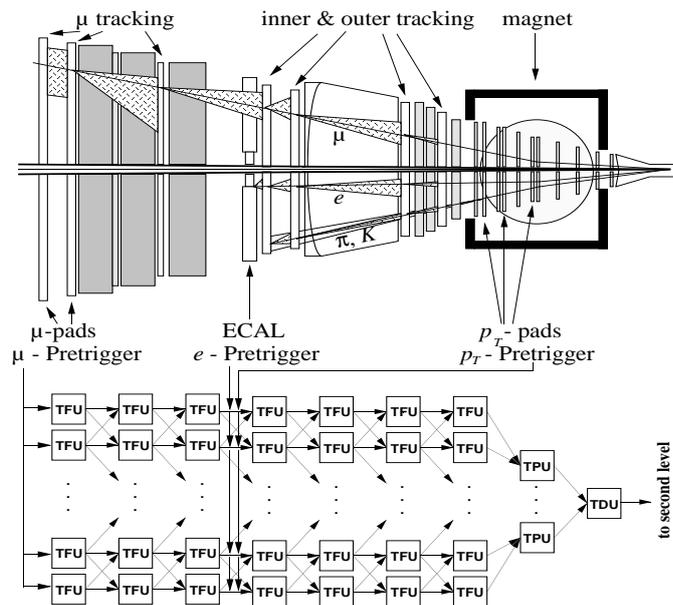


Abb. 1.13: Der HERA-B Detektor und der First Level Trigger

Die Spurensuche im FLT erfolgt entgegen der Flugrichtung der Teilchen von den Pretrigger-Kammern aus in Richtung Target. Wenn der Muon- oder der Elektron-Pretrigger einen Kandidaten gefunden hat, wird die Spur durch geeignete Variablen parametrisiert. Diese Parameter definieren im wesentlichen eine **Region Of Interest** (ROI) für die ( in z-Richtung ) vorhergehende Triggerlage, durch die die Spur führen müßte. Diese Parameter werden dann an die erste TFU-Lage weitergegeben, die in der besagten ROI nach Detektor-Hits sucht. Werden diese gefunden, wird die Spur wiederum zur vorhergehenden Lage extrapoliert, die Parameter aktualisiert und zur entsprechenden TFU-Lage übermittelt. Werden keine korrespondierenden Hits gefunden, wird die Spur verworfen.

Abbildungen 1.14 und 1.15 verdeutlichen die Spurparameter, die zwischen den TFU-Lagen ausgetauscht werden: Über die Parameter  $\xi$ ,  $d\xi$ ,  $dd\xi$  und  $w$  wird die Region Of Interest in der x-z-Ebene definiert,  $\eta$  benennt die Position der RIO in der y-z-Ebene. In dieser ROI wird nach Hits für die beobachtete Spur gesucht.  $\xi$ ,  $w$  und  $\eta$  definieren dabei eine Referenz-Fläche, auf

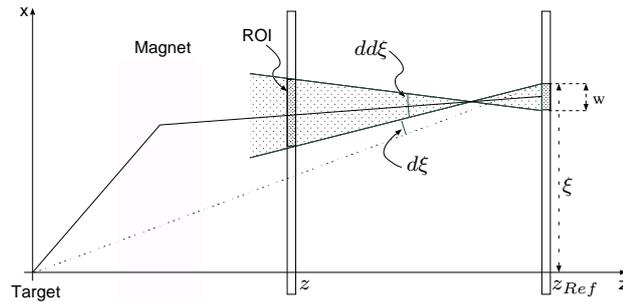


Abb. 1.14: Schema der Parametrisierung einer ROI in der  $x$ - $z$ -Ebene. ( nach [G<sup>+</sup>98] )

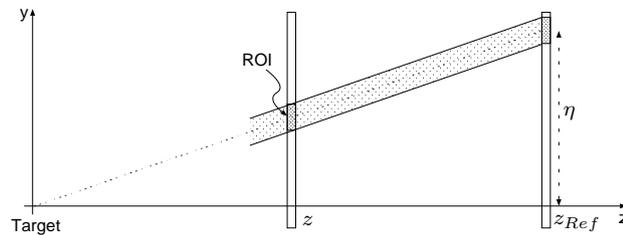


Abb. 1.15: Schema der Parametrisierung einer ROI in der  $y$ - $z$ -Ebene.

die sich die anderen Variablen beziehen.  $d\xi$  wird als *Minimal Track Slope*, also als minimale Spurstiegung bezeichnet. Gemeint ist damit der Winkel zwischen der Richtung zum Vertex und der unteren Kante der ROI. In  $dd\xi$  steht die Größe des Spurfensters. Die Spurparameter werden stets in Bezug auf eine Referenzposition  $z_{Ref}$  gemessen. Diese Referenzposition bildet entweder der Pretrigger ( z.B. für TC2 ) oder die erste Spurkammerlage hinter dem Pretrigger. Eine genauere Beschreibung der Parameter ist in [G<sup>+</sup>98] und in [FR01] zu finden.

Der schematische Aufbau einer TFU ist in Abb. 1.16 zu sehen. Die Detektordaten werden mittels des Trigger-Link in das *Wire-Memory* der Einheit übertragen. Außerdem erhält die Prozessorkarte von der vorhergehenden Triggerstation oder vom Pretrigger die Spurparameter. Mittels einer Koinzidenzmatrix wird nun in der ermittelten ROI nach gültigen 3er-Koinzidenzen der drei Detektor-Stereolagen gesucht. Der Track wird zur nächsten Triggerlage extrapoliert und die aktualisierten Spurparameter zu den entsprechenden Track Finding Units übertragen.

Um zu ermitteln, ob eine 3er-Koinzidenz gültig ist, werden die Hits der Detektorlagen auf eine Ebene projiziert, die senkrecht auf der wahrscheinlichsten Spurrichtung liegt. Die wahr-

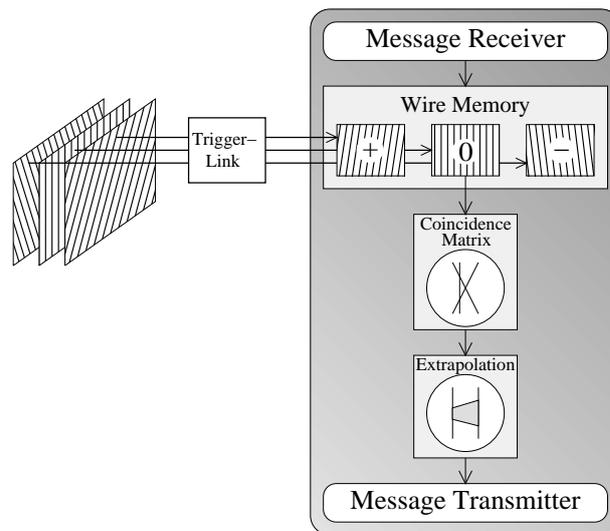


Abb. 1.16: Schematische Darstellung einer TFU

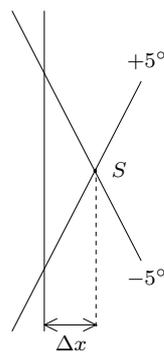


Abb. 1.17: Darstellung einer 3er-Koinzidenz. Die Koinzidenz wird als gültig angesehen, wenn  $\Delta x$  kleiner als der halbe Abstand zwischen zwei vertikalen Triggerkanälen ist.

scheinlichsten Spurrichtung ergibt sich dabei aus den vorhergehenden Triggerlagen, für die Station TC2 ist die Richtung des Vertex die wahrscheinlichste Spurrichtung. Entscheidend ist nun der Abstand zwischen den Drähten der 0-Grad-Lage und den Schnittpunkten der Drähte der 5-Grad-Stereolagen. Ist dieser Abstand kleiner als der halbe Abstand zwischen zwei Triggerkanälen, also kleiner als der doppelte Abstand zwischen zwei Anodenstreifen, dann wird die Koinzidenz als gültig betrachtet [Res01] [FR01]. Abb. 1.17 verdeutlicht diesen Sachverhalt.

## 1.7 Das schnelle Kontrollsystem

Die Auslese der Subdetektoren des HERA-B Experimentes muß synchron zum Takt der HERA-Maschine erfolgen. Außerdem muß jedem Datum, das aus dem Detektor ausgelesen wird, ein eindeutiger Zeitstempel zugeteilt werden können, um die Daten einem Wechselwirkungszeitpunkt zuordnen zu können. Zur Erfüllung dieser (Mindest-) Anforderungen wurde das **schnelle Kontrollsystem**<sup>1</sup> für das Experiment entwickelt. Neben dieser Experiment-Clock<sup>2</sup> zur Synchronisation und dem sogenannten *Bunch-Crossing-Zähler* oder kurz *BX-Zähler* für die Zeitstempel überträgt das FCS-System zahlreiche Steuer- und Kontrollsignale zu den einzelnen Detektorkomponenten. Eine genaue Beschreibung der Signale ist in [FR98] zu finden.

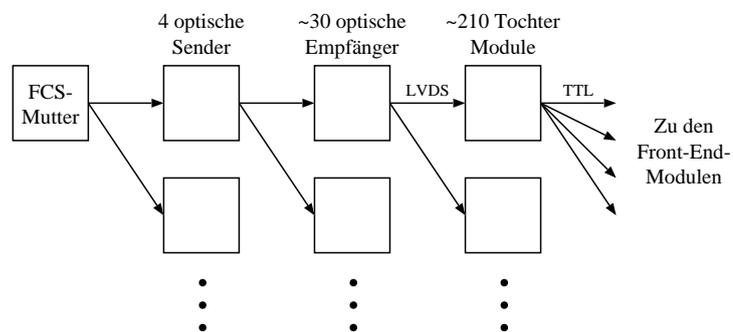


Abb. 1.18: Schematische Darstellung des FCS-Systems, aus [Ful99].

In Abb. 1.18 ist der schematische Aufbau des FCS-Systems zu erkennen. Ausgehend von einem Mutter-Modul werden die Signale über eine baumartige Struktur an die sogenannten Tochter-Module übertragen. Diese befinden sich in den Überrahmen<sup>3</sup> der Detektor-Subsysteme und sind über einen Datenbus mit der Detektor-Elektronik verbunden. Jede Tochter verfügt über eine eindeutige Nummer, so daß sie einzeln angesprochen werden kann und verschiedene Parameter für jede FCS-Tochter getrennt eingestellt werden können.

<sup>1</sup>Auch Fast Control System, FCS

<sup>2</sup>Auch FCS- oder BX-Clock

<sup>3</sup>Auch Crate, engl.: Kiste, Verschlag. Bezeichnet die Einschubrahmen für Elektronikkomponenten.

## 2 Der Aufbau der Triggerelektronik

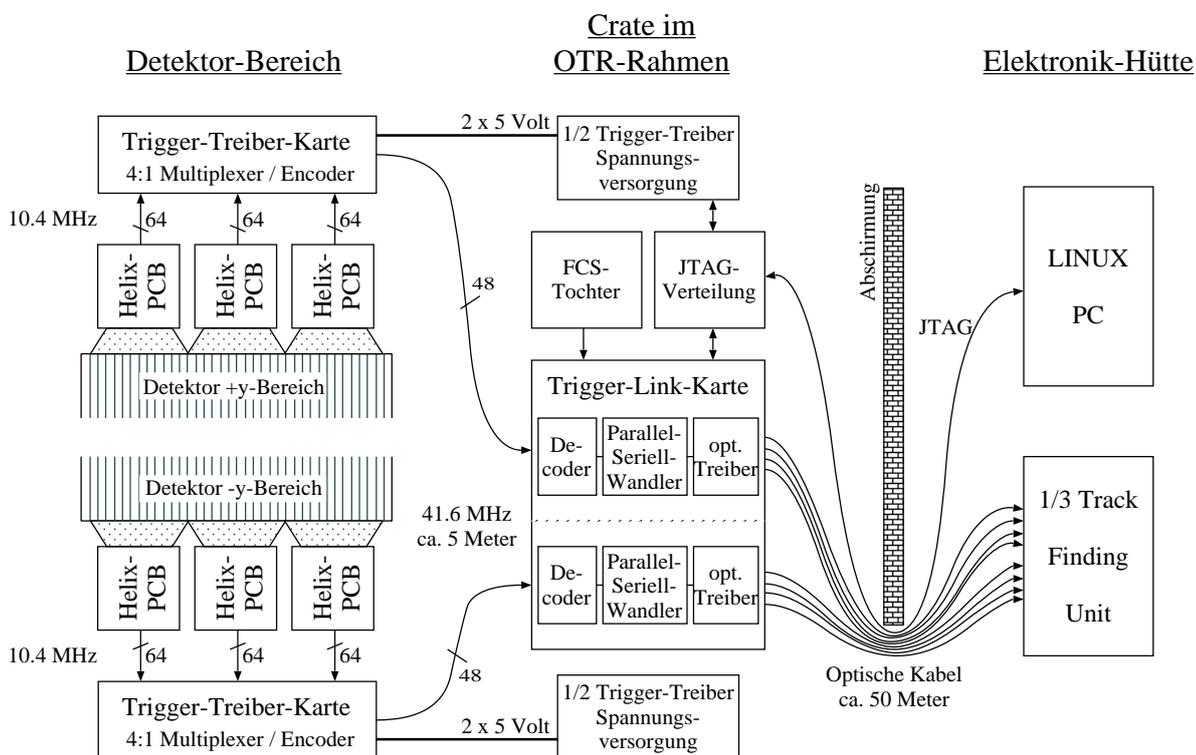


Abb. 2.1: Schematischer Aufbau des ITR-TL. Dargestellt sind die Komponenten für die +x-Seite ( -x-Seite ) einer Doppellage.

Die Trigger-Ausgangsdaten der Helix-Chips müssen zu den ca. 50 Meter entfernten Track-Finding-Units des FLT übertragen werden. Die Hochgeschwindigkeits-Datenübertragung erfolgt optisch über Glasfaserkabel. Da die **Trigger-Link-Karten**, die die optischen Sender enthalten, nicht direkt am Detektor installiert werden können, müssen die Daten mittels der sogenannten **Trigger-Treiber-Karte** noch vom Helix-Bord zu den Link-Karten übermittelt werden. Die Treiber-Karten werden dabei direkt an die Ausleseelektronik der Detektorkammern gesteckt. Um dabei die Menge der benötigten Kupferkabel möglichst gering zu halten, werden die Trigger-Bits eines Ereignisses in vier Paketen hintereinander zu den Linkkarten

gesendet. Diese verknüpfen die Daten mit der dazugehörigen BX-Nummer und sortieren sie in ein für die TFU verständliches Format.

In Abb 2.1 ist schematisch der Aufbau des Trigger-Link gezeigt. Dargestellt sind die Komponenten für die eine halbe Doppellage, also für die +x b.z.w. die -x-Seite. Pro Trigger-Station des Inner-Tracker werden drei Triggerlagen installiert, die Null-Grad-Lage und die zwei 5°-Stereolagen ( vgl. Kap. 1.4 ). Bei vier Triggerstationen werden also 48 Trigger-Treiber-Karten und 24 Trigger-Link-Karten für den gesamten Trigger-Link des Inner-Tracker benötigt.

Die Treiber-Karten benötigen eine spezielle Spannungsversorgung, die von außen überwacht und geschaltet werden kann. Für die sechs TT-Karten einer halben Triggerstation existieren dazu zwei Netzteile und die dazugehörige Meß- und Steuerkarte.

Die Komponenten einer Halbstation, also drei Trigger-Link-Karten, die Spannungsversorgung der Treiberkarten und die JTAG-Steuerung, die in Kap. 3 beschrieben wird, werden gemeinsam in einem Überrahmen installiert. Jeder dieser insgesamt acht Crates, die etwa 5 Meter vom Inner-Tracker entfernt sind, ist mit einer FCS-Tochter ausgestattet.

### 2.1 Die Trigger-Treiber-Karten

Die Ausgangspegel der Triggerdaten, die vom Helix-Chip kommen, haben einen Spannungshub von etwa 500 mV, wie in Kap. 1.5 dargelegt wurde. Auf den Trigger-Treiber-Karten findet daher zuerst mit Hilfe von Analogkomparatoren eine Konvertierung auf TTL-Pegel statt, anschließend erfolgt die Zwischenspeicherung in einem Latch<sup>1</sup>. Vier dieser Zwischenspeicher bilden jeweils eine Gruppe, deren Daten nacheinander über eine Leitung zum Trigger-Link-Bord übertragen werden. Diese Art der Datenübertragung wird Zeit-Multiplex-Technik<sup>2</sup> genannt, Abb. 2.2 zeigt die Vorgehensweise schematisch, die Übertragung der gemultiplexten Daten erfolgt mit LVDS<sup>3</sup>-Treibern.

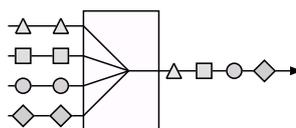


Abb. 2.2: Schematische Darstellung der Zeit-Multiplex-Technik

Das elektrische Potential der Helix-Karten liegt 2 Volt unter dem der Trigger-Link-Karten sowie der gesamten Experimentelektronik. Vor den differentiellen Treibern der Trigger-Treiber-Karten wird daher noch ein Spannungshub von ca. 2 Volt durchgeführt. Dies macht es

---

<sup>1</sup>deutsch auch *Auffangregister*

<sup>2</sup>Auch **T**ime **D**ivision **M**ultiplexing, TDM

<sup>3</sup>**L**ow **V**oltage **D**ifferential **S**ignal

auch erforderlich, daß die Linkkarten mit zwei Versorgungsspannungen á 5 Volt betrieben werden.

Der Helix sendet zur Synchronisation ein Sample-Signal. Um das exakte Timing zwischen Sample-Clock und Daten sicher zu stellen, kann die Clock mittels eines Verzögerungsgliedes in 4.5 nsec-Schritten eingestellt werden.

Jede Treiberkarte überträgt die Triggerdaten eines Detektor-Quadranten, also 192 Trigger-Kanäle.

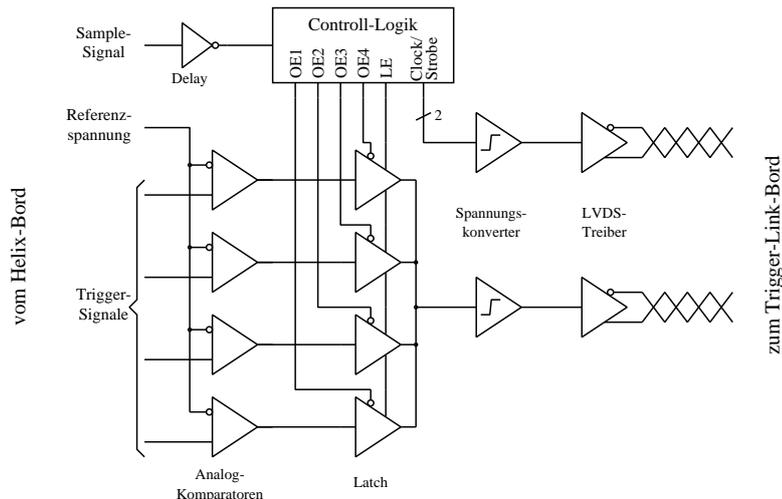


Abb. 2.3: Schematische Darstellung eines von 48 Kanälen einer Trigger-Treiber-Karte

Da die Elektronik direkt am Detektor installiert wird, ist sie einer hohen radioaktiven Strahlung ausgesetzt. Die elektronischen Bauteile wurden daher speziell in Hinblick auf Strahlenhärte ausgewählt. Zur Überprüfung der Strahlenfestigkeit wurde eine Test-Platine einer Strahlendosis von 300 krad ausgesetzt. In anschließenden Tests konnte keine Veränderung der Funktionsweise festgestellt werden.

## 2.2 Die Trigger-Link-Karten

Die Trigger-Link-Karten erfüllen im wesentlichen zwei Aufgaben: Sie dienen der Einsortierung und Formatierung der Daten sowie als Treiber für die optische Übertragung. Diese Aufgaben teilen sich programmierbare FPGA<sup>1</sup>-Bausteine der Firma XILINX sowie Autobahn<sup>2</sup>-Bausteine von Motorola.

<sup>1</sup>Field Programmable Gate Array

<sup>2</sup>Die Typenbezeichnung des Bausteins war MC100SX1451, von Motorola auch als *Autobahn*-Chip bezeichnet. Die Produktion dieses IC's wurde mittlerweile eingestellt.

## 2 Der Aufbau der Triggerelektronik

Die XILINX-FPGA's, hier kam der XC4006E zum Einsatz, empfangen die kodierten Daten der Trigger-Treiber-Karten. Nach dem Dekodieren werden die Trigger-Bits entsprechend den Anforderungen der TFU umsortiert. Je nach dem, von welcher Triggerstation b.z.w. von welchem Quadranten einer Station die Daten kommen, müssen dabei andere Formate eingehalten werden ( siehe 2.2.1 ). Zusammen mit den Triggerdaten wird auch die zu den Daten gehörende BX-Nummer in den Datenstrom mit eingebaut.

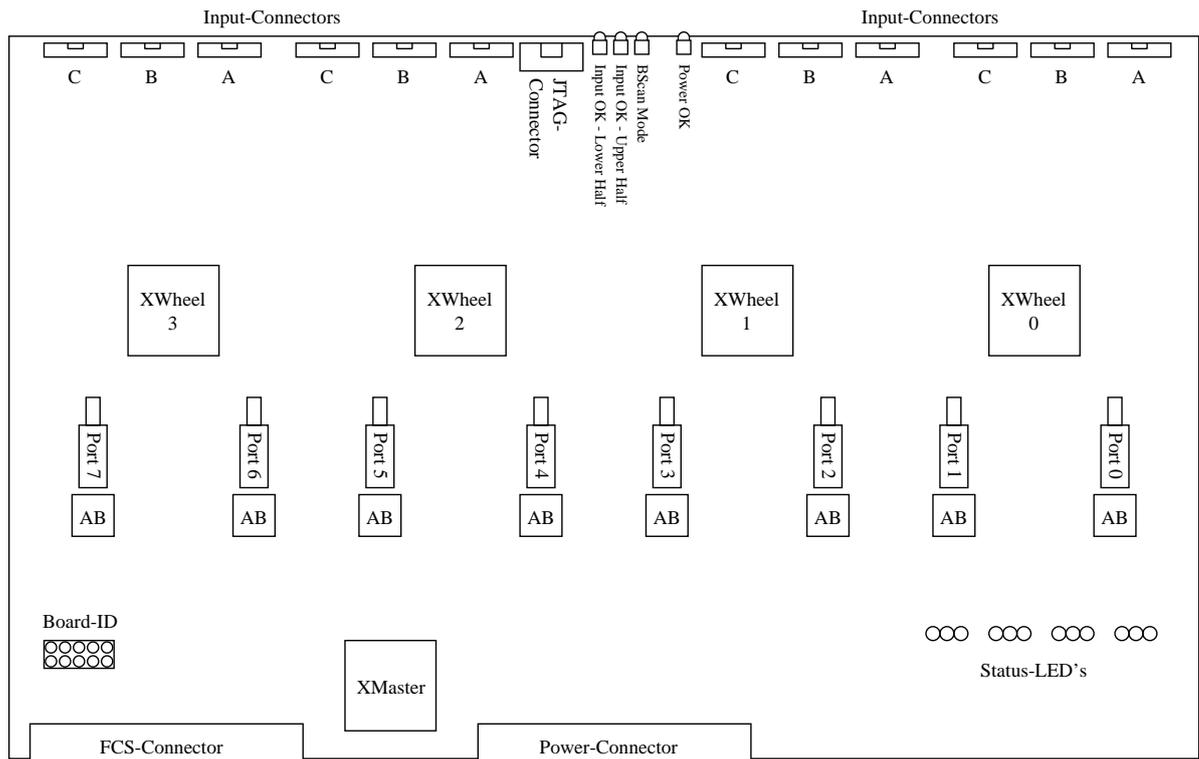


Abb. 2.4: Die wichtigsten Baugruppen der Trigger-Link-Karte

Der Autobahnchip wurde speziell für die schnelle serielle Datenübertragung entwickelt. Die Daten an einem 32 Bit breiten, TTL-kompatiblen Datenbus werden in ein serielles PECL<sup>1</sup>-Signal umgewandelt. Dieses Signal wird an ein Sendermodul gegeben, das eine optische Signalwandlung vornimmt, also die Sendediode und den Anschluß für das Glasfaserkabel enthält. Die maximale serielle Übertragungsrate des Autobahn liegt bei 100 MByte/sec.

In Abb. 2.4 sind die wichtigsten Komponenten der Linkkarten zu sehen. Die vier mit **XWheel** bezeichneten XILINX-Chips sind für das Umformatieren der Daten und die Ansteuerung der Autobahn-Chips ( AB ) zuständig. Der **XMaster**-XILINX übernimmt übergeordnete Steuer- und Kontrollfunktionen. Den acht Autobahn-Chips und die dazugehörigen optischen

<sup>1</sup>Positive Emitter Coupled Logic

Transmitter wird hardwaremäßig eine Portnummer zugewiesen, die im Testmodus zusammen mit der eindeutigen Bord-ID und einige Status-Bits gesendet werden kann ( siehe Kap. 2.2.2 ).

### 2.2.1 Die Datenformate

Konstruktionsbedingt werden die Triggerkanäle der MSGC-Kammern vom Strahlrohr aus nach außen durchnummeriert. Für die Kammern auf der +x-Seite des Detektors bedeutet dies, daß die Nummer der Kanäle in x-Richtung steigt. Auf der -x-Seite hingegen steigen die Kanalnummern in -x-Richtung ( siehe Abb. 2.5 ).

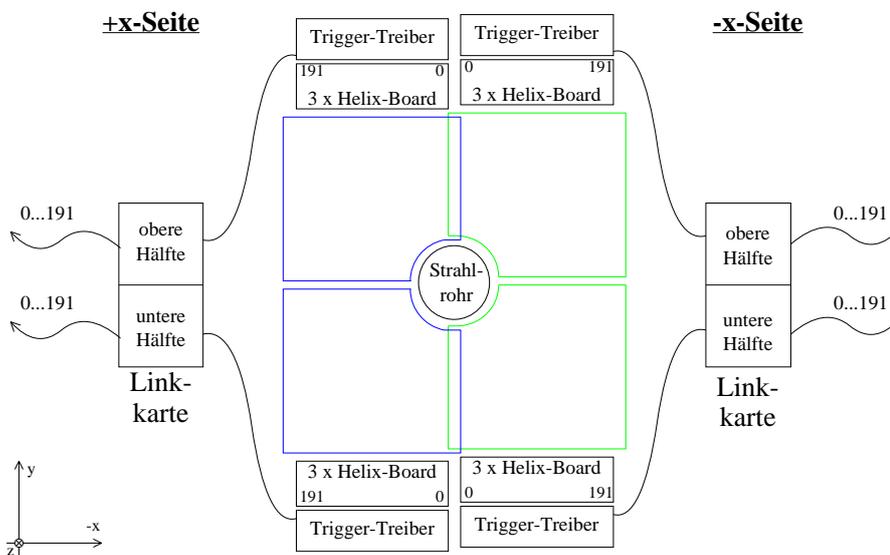


Abb. 2.5: Anordnung der Triggerkanäle ohne Umsortierung

Der First-Level-Trigger benötigt jedoch eine kontinuierliche Numerierung in +x oder -x-Richtung. Es ist daher notwendig, bei einer der beiden Hälften einer Triggerstation die Kanäle zu spiegeln. Dies geschieht in den Trigger-Link-Karten und wird als **Revers-Mode** bezeichnet. In den Linkkarten wird der Revers-Mode durch eine eigene Firmware realisiert. Diese muß nach dem Einschalten der Versorgungsspannung über die Slow-Control in die XILINX-Chips geladen werden. Bei der derzeitigen Konfiguration wird der Revers-Mode auf der -x-Seite verwendet ( Abb. 2.6 ).

Die Kammern des Inner-Tracker werden mit einem gewissen Überlapp montiert. Wenn nun die Kanäle der beiden x-Bereiche hintereinander in den Speichern der TFUs abgelegt werden, dann gehören im Bereich um  $x=0$  nicht unbedingt höhere Kanalnummern zu größeren x-Werten. M.a.W.: Es gibt Detektorbereiche, die doppelt im Speicher der TFU's abgelegt werden. Der FLT benötigt jedoch zwingender Weise aufeinanderfolgende Triggerkanäle, der erste Kanal der -x-Region muß direkt hinter dem letzten Kanal der +x-Region folgen. Um

dies zu erreichen, können die Linkkarten im sogenannte **Shift-Mode** betrieben werden. Dabei werden alle Kanäle einer Hälfte einer Triggerstation um  $n$  Drähte in Richtung  $x=0$  verschoben. Der Kanal 0 erhält also den Wert von Kanal  $n$ , Kanal 1 den Wert von Kanal  $n+1$ , u.s.w. Die obersten Werte werden dabei mit Nullen aufgefüllt. Für die TFU sieht der Datenstrom daraufhin so aus, als würden die Kammern ohne Überlapp aneinander stoßen ( Abb. 2.6 ).

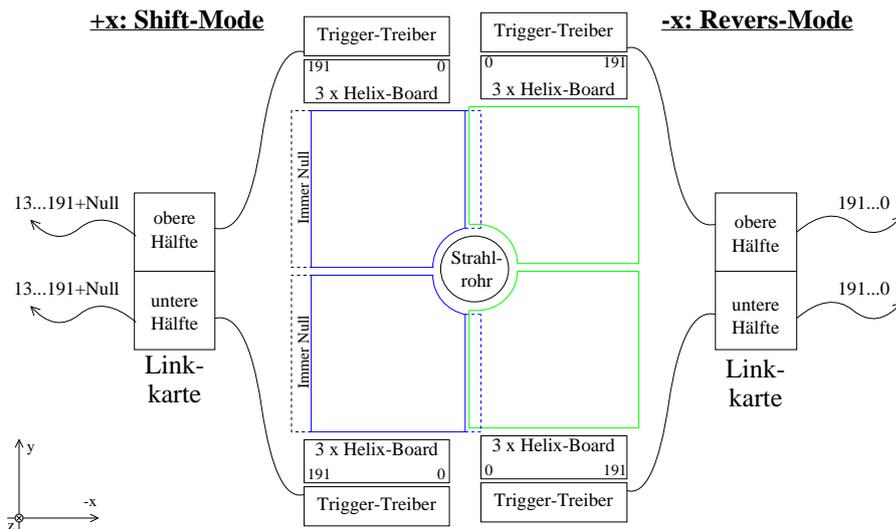


Abb. 2.6: Anordnung der Triggerkanäle nach Umsortierung im „Revers-Mode“ auf der  $-x$  - Seite und im „Shift-Mode“ auf der  $+x$  - Seite

Im PC-Bereich, also für die Stationen MS10 und MS13, beträgt der Überlapp derzeit 13 Drähte. Die Stationen MS14 und MS15 im TC-Bereich haben einen Überlapp von 11 Triggerkanälen. Das Verschieben der Drähte findet im  $+x$ -Bereich der Triggerstationen statt. Der Shift-Mode wird, wie der Revers-Mode auch, durch eine eigene Firmware aktiviert. Dabei benötigt jeder der beiden Xilinx-Chips, die für einen Detektorquadranten zuständig sind, ein eigenes Programm: Ein Baustein muß die verschobenen Drähte mit Nullen auffüllen ( wird als *lower part* bezeichnet ), der andere muß die entsprechenden Datenbits einfügen ( wird als *upper part* bezeichnet ).

Jede Trigger-Treiber-Karte, also 192 Triggerkanäle, ist mit den Eingängen einer halben Trigger-Link-Karte verbunden. Pro Autobahn-Chip müssen also pro Event 48 Trigger-Bits und die BX-Nummer übertragen werden. Da der Autobahn nur über 32 Eingänge verfügt, wird dies in zwei Paketen b.z.w zwei Zyklen, künftig auch „Cycle“ genannt, übertragen. Die BX-Nummer ist in jedem der Zyklen vorhanden. In Tabelle 2.1 ist die genaue Bitfolge in den verschiedenen Betriebsmodi tabellarisch aufgelistet. Auch die Anordnung der BX-Nummer im Bitstrom ist dieser Aufstellung zu entnehmen.

Normal:

| Bit-Nr. | AB-Port 0 |         | AB-Port 1 |         | AB-Port 2 |           | AB-Port 3 |           |
|---------|-----------|---------|-----------|---------|-----------|-----------|-----------|-----------|
|         | 31...24   | 23...0  | 31...24   | 23...0  | 31...24   | 23...0    | 31...24   | 23...0    |
| Cycle 0 | BX n      | 23...0  | BX n      | 71...48 | BX n      | 119...96  | BX n      | 167...144 |
| Cycle 1 | BX n      | 47...24 | BX n      | 95...72 | BX n      | 143...120 | BX n      | 191...168 |

Reversed:

| Bit-Nr. | AB-Port 0 |         | AB-Port 1 |         | AB-Port 2 |           | AB-Port 3 |           |
|---------|-----------|---------|-----------|---------|-----------|-----------|-----------|-----------|
|         | 31...24   | 23...0  | 31...24   | 23...0  | 31...24   | 23...0    | 31...24   | 23...0    |
| Cycle 0 | BX n      | 24...47 | BX n      | 72...95 | BX n      | 120...143 | BX n      | 168...191 |
| Cycle 1 | BX n      | 0...23  | BX n      | 48...71 | BX n      | 96...119  | BX n      | 144...167 |

Shifted ( 11 Wires ):

| Bit-Nr. | AB-Port 0 |         | AB-Port 1 |          | AB-Port 2 |           | AB-Port 3 |                    |
|---------|-----------|---------|-----------|----------|-----------|-----------|-----------|--------------------|
|         | 31...24   | 23...0  | 31...24   | 23...0   | 31...24   | 23...0    | 31...24   | 23...0             |
| Cycle 0 | BX n      | 34...11 | BX n      | 82...59  | BX n      | 130...107 | BX n      | 178...155          |
| Cycle 1 | BX n      | 58...35 | BX n      | 106...83 | BX n      | 154...141 | BX n      | 11 · 0 + 191...179 |

Shifted ( 13 Wires ):

| Bit-Nr. | AB-Port 0 |         | AB-Port 1 |          | AB-Port 2 |           | AB-Port 3 |                    |
|---------|-----------|---------|-----------|----------|-----------|-----------|-----------|--------------------|
|         | 31...24   | 23...0  | 31...24   | 23...0   | 31...24   | 23...0    | 31...24   | 23...0             |
| Cycle 0 | BX n      | 36...13 | BX n      | 84...61  | BX n      | 132...109 | BX n      | 180...157          |
| Cycle 1 | BX n      | 60...37 | BX n      | 108...85 | BX n      | 156...133 | BX n      | 13 · 0 + 191...181 |

Tabelle 2.1: Die Datenformate bei verschiedenen Linkbord-Programmen

## 2.2.2 Der Testmodus

Neben dem Normal-Betrieb, in dem das Linkbord die Trigger-Daten sendet, stehen auch verschiedene Testmodi zur Verfügung. Mit Hilfe dieser Modi können die korrekte Datenübertragung sowie die Verkabelung getestet werden.

Zum Test der Datenübertragung werden neben der BX-Nummer konstante oder auch veränderliche Bitmuster gesendet. Von den 3 Byte, die in einem Cycle übertragen werden, sind dabei immer das erste und das dritte identisch, das zweite ist deren Invertiertes:

| Bit-Nr. | 31...24 | 23...16  | 15...8                       | 7...0    |
|---------|---------|----------|------------------------------|----------|
| Cycle X | BX n    | Testbyte | $\overline{\text{Testbyte}}$ | Testbyte |

Dabei kann man zwischen den statischen Testmustern „00FF hex“ und „55AA hex“ sowie den veränderlichen Testmustern „Zähler“ und „Pseudo Zufallsgenerator“ wählen. Bei diesen wird das Testbyte mit jeder neuen BX-Nummer erhöht b.z.w neu berechnet.

Daneben ist es möglich, das Senden eines Status- und Identifier-Codes zu veranlassen. Jedes Linkbord hat eine eigene **Bord-ID**, die die Karte eindeutig kennzeichnet. Ebenso hat jeder Autobahn-Chip eine eigene Port-ID, deren Anordnung der Abb. 2.4 zu entnehmen ist. Mit Hilfe dieser Identifikations-Nummern kann die korrekte Verkabelung von den Link-Karten zu den Track Finding Unit's überprüft werden, eventuelle Vertauschungen in den Glasfaserkabeln lassen sich schnell in den Daten erkennen.

Das Statusbit **Revers** ist gesetzt, wenn der Revers-Mode eingeschaltet ist. **Cycle** hat den Wert 0 im ersten Cycle und 1 im zweiten Cycle. Die Linkkarte erhält zwei zur Experiment-Clock synchrone, aber phasenverschobene Signale: Ein Sample-Signal von den Trigger-Treiber-Karten und die BX-Clock vom FCS-System. Zur Justierung der Zeitmarken von MSGC-Logik und Trigger-Bord-Logik muß die Phasendifferenz zwischen diesen Signalen auf den richtigen Wert eingestellt werden. Das **Timing**-Bit ist 1, wenn sich die Phasendifferenz in den gültigen Grenzen befindet. Sollte dies nicht der Fall sein, kann die Verzögerung der BX-Clock mittels des entsprechenden FCS-Tochtermoduls eingestellt werden ( siehe Kap. 1.7 ). Die Anordnung der Datenbits ist Tabelle 2.2 zu entnehmen.

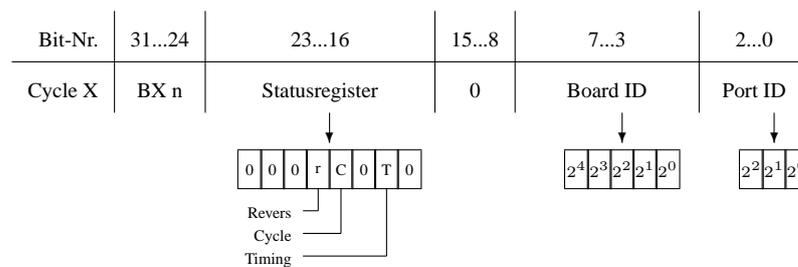


Tabelle 2.2: Die Anordnung der Datenbits beim Senden der Status- und Identifier-Daten

Die Auslese dieser Testdaten aus der TFU kann aus technischen Gründen nicht in Echtzeit erfolgen. Wenn die Link-Karten Daten senden, wird der Speicher jedoch alle 96 nsec neu beschrieben. Um den Speicher der TFU ohne Störungen auslesen zu können, ist es also notwendig, die Datenübertragung anzuhalten. Seitens des Linkbords ist dies über ein FCS-Steuerbit möglich. Wird dieses Bit gesetzt, so wird die Übertragung noch bis zu BX-Nr. 127 fortgeführt und dann angehalten. Nun kann die TFU „in Ruhe“ ausgelesen werden, danach wird das Bit wieder gelöscht.

### 2.2.3 Die Steuersignale

Neben der FCS-Clock und der FCS-Nummer werden vom Fast-Control-System acht Steuersignale, sogenannte Strobe-Bits, übertragen, mit denen das Verhalten der Linkkarten gesteuert werden kann, Tab. 2.3. Dabei haben die Bits folgende Bedeutung:

- **Bit 0: Reset Linkbord:** Die Linkkarte wird in den Grundzustand gesetzt.
- **Bit 1: Testmode aktivieren** Es werden nicht mehr die Triggerdaten, sondern die oben beschriebenen Testdaten gesendet.
- **Bit 2: ID/Testmuster:** Je nach Wert des Bits werden das Status- und ID-Register oder aber Testmuster gesendet.
- **Bit 3,4: Select Testpattern:** Wenn Testmuster gesendet werden, entscheiden diese zwei Bits darüber, welches Muster aktiv ist.
- **Bit 5: On-Board Clock:** Sollte keine externe BX-Clock verfügbar sein, dann kann hierüber ein interner Quarz aktiviert werden ( Nur für Tests ).
- **Bit 6: On-Board BX-Zähler:** Sollte kein externer BX-Zähler verfügbar sein, dann kann hierüber ein interner Zähler aktiviert werden ( Nur für Tests ).
- **Bit 7: Stop LB:** Die Datenübertragung wird nach BX-Nummer 127 angehalten, um die TFU auslesen zu können.

|         |  |
|---------|--|
| Bit 0   | Reset Linkboard                          |
| Bit 1   | Testmode aktivieren                      |
| Bit 2   | 0 Sende Identifier<br>1 Sende Testmuster |
| Bit 3,4 | 3 4   Testmuster                         |
|         | 0 0   00h                                |
|         | 0 1   AAh                                |
|         | 1 0   Zähler                             |
|         | 1 1   Pseudo-Zufallsgenerator            |
| Bit 5   | On-Board Clock aktivieren                |
| Bit 6   | On-Board BX-Zähler aktivieren            |
| Bit 7   | Stop Linkbord                            |

Tabelle 2.3: Die Bedeutung der FCS-Strobe-Bits

### 2.2.4 Messung der Bitfehlerrate

Bei jeder Übertragung von Daten können natürlich Fehler auftreten, d.h. die empfangenen Daten sind mit den gesendeten nicht identisch. Im Allgemeinen werden aus diesem Grund bei

der Übertragung digitaler Daten Mechanismen zur Fehlererkennung oder Fehlerkorrektur eingesetzt, etwa die Verwendung von einfachen Methoden wie Paritätsbits bis hin zu bedeutend besseren Verfahren wie z.B. CRC<sup>1</sup>-Prüfsummen. Bei dem Trigger-Link wurde keine solche Fehlererkennung implementiert. Es ist daher erforderlich, die Fehlerrate bei der Datenübertragung zu ermitteln und abzuschätzen, ob sie in akzeptablem Rahmen liegt. Zu diesem Zweck wurden von den Linkkarten generierte Testmuster zur TFU gesendet, aus dieser ausgelesen und abgespeichert. Durch die Struktur der Testmuster können diese daraufhin gut auf Bitfehler hin untersucht werden. Dabei wurden ca.  $4 \cdot 10^8$  Bits getestet, in denen keine Übertragungsfehler gefunden wurden. Für den FLT ist eine Bitfehlerrate von  $10^{-5}$  bis  $10^{-6}$  hinreichend gut [Res99], so daß die Übertragungsqualität des Inner-Tracker Trigger-Link sicher ausreichend ist.

Um die Güte der Signalübertragung dauerhaft sicherstellen zu können, wird derzeit an Testverfahren gearbeitet, die auch während des normalen Betriebs das Erkennen einer erhöhten Fehlerrate ermöglichen. Um dies zu erreichen, wird die Redundanz in den BX-Nummern ausgenutzt, speziell daß die Nummern in Cycle 0 und Cycle 1 der Daten eines Ereignisses identisch sein müssen [Kel01b].

---

<sup>1</sup>Cyclic Redundancy Check

# 3 Das Kontrollsystem der Triggerhardware

## 3.1 Einführung

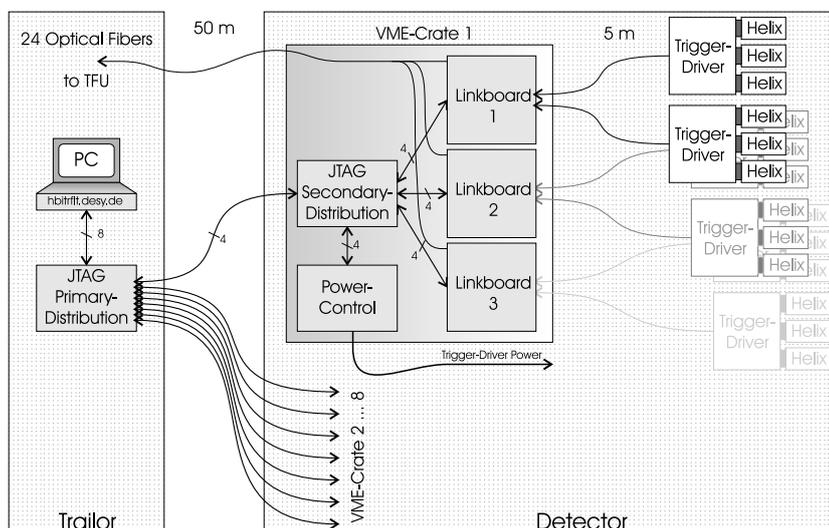


Abb. 3.1: Darstellung der Verteilung der JTAG-Signale

Die Aufgaben der Slow-Control<sup>1</sup> des Inner-Tracker Trigger Link besteht im wesentlichen aus folgenden Teilen:

- Die Spannungen für die Trigger-Treiber-Karten werden überwacht und ggf. an- oder abgeschaltet.
- Der Betriebszustand der Linkkarten wird überwacht ( Funktion der optischen Links, korrekte Firmwareversion, FCS-Settings, ... ). Gegebenenfalls werden Fehlermeldungen ausgegeben und soweit möglich eine selbständige Fehlerkorrektur durchgeführt.

<sup>1</sup>Im Folgenden auch kurz SC

- Die Trigger-Daten können zu Testzwecken ausgelesen werden.

Die Slow-Control ist über die sogenannte JTAG-Schnittstelle implementiert, deren Steuerung von einem PC aus erfolgt. Als Betriebssystem dieses Computers wurde Linux gewählt. An den Parallelport des Rechners ist eine Multiplexer- und Treiberkarte angeschlossen, die das JTAG-Signal an eines der acht Crates sendet. Dort befindet sich wiederum eine Multiplexer-Karte, mit deren Hilfe man eine der drei Link-Karten oder die Spannungsversorgung der Trigger-Treiber-Karten ansteuern kann. Abb. 3.1 verdeutlicht dies. Die Daten werden mit einer Frequenz von ca. 80 kHz übertragen.

## 3.2 Die JTAG-Schnittstelle

Die JTAG-Schnittstelle wurde ursprünglich zu Boundary-Scan-Testzwecken entwickelt. Durch die Funktionalität, den Zustand der digitalen Ein- und Ausgänge abfragen oder setzen zu können, sind aber auch andere Einsatzbereiche zur Steuerung oder Überwachung digitaler Baugruppen denkbar. Zudem haben viele Hersteller von integrierten Schaltungen ihre Chips um zahlreiche baustein- b.z.w. herstellerspezifische Register und Kommandos erweitert, so daß sich weitere Anwendungsfelder eröffnen. Als Beispiel sei hier etwa die Ablaufsteuerung der Firmware in programmierbaren VLSI-Bausteinen genannt.

Nicht zuletzt aufgrund dieser erweiterten Möglichkeiten hat sich JTAG als Bindeglied zwischen Trigger-Elektronik und HERA-B Slow Control angeboten und bewährt, wie bereits in [R<sup>+</sup>00] dargelegt wird.

### 3.2.1 Beschreibung des JTAG-Standard

#### Einführung

Für den Test und Service elektronische Baugruppen steht die Industrie vor der Aufgabe, neuartige Verfahren für die ständig steigenden Anforderungen zu entwickeln. Immer komplexere Bauteile, dichter gepackte Schaltungen und mehrlagige Platinen ohne Kontaktdurchführungen lassen herkömmliche Testmethoden, bei denen die Bauteile extern kontaktiert werden, immer schwieriger und teurer werden [Jun92].

Es wird daher verstärkt dazu übergegangen, sogenannte Boundary-Scan<sup>1</sup>-Verfahren einzusetzen, die einen Test der Elektronik ohne externe Kontaktierung erlauben. Dabei dienen die Bausteine der Schaltung selber als Testadapter, weshalb dieses Verfahren auch als *In-Circuit-Test* bezeichnet wird. Die Ein- und Ausgänge der Schaltungskomponenten können dabei über ein serielles 4-Draht-Interface ausgelesen b.z.w. gesetzt werden.

---

<sup>1</sup>Wörtlich etwa „Randabtastung“

Zu einer Standardisierung dieses Testverfahrens hat wesentlich die *Joint Test Action Group* beigetragen, weshalb es auch als JTAG-Verfahren bezeichnet wird. Außerdem sind die Standardfunktionen JTAG-Kompatibler Bausteine in dem IEEE<sup>1</sup> Standard 1149.1-1990 festgehalten.

### Die Betriebsmodi

Je nach derzeit geladenem Befehl kann sich der JTAG-Baustein in einem von zwei Betriebsmodi befinden. Im **Normal-Modus** wird die normale Funktion des Chips, wie der Name schon sagt, nicht gestört. Das heißt, daß der Zustand der Ausgänge vom Zustand der Eingänge und der internen Logik abhängt, und nicht durch irgendwelche JTAG-Aktivitäten beeinflusst wird. Zu den Befehlen, die im Normal-Modus abgearbeitet werden, gehört z.B. der SAMPLE-Befehl, mit dessen Hilfe die BS-Zellen ausgelesen werden, ohne sie zu beeinflussen. Im **Test-Modus** hingegen wird die normale Funktion unterbrochen. Die Ausgänge werden von der internen Logik abgekoppelt und vollständig durch BS-Aktivitäten gesteuert. Dieser Modus wird z.B. beim Abarbeiten des EXTEST-Befehls aktiviert, in dem die Pegel der Ausgänge durch Beschreiben des BS-Registers bestimmt werden.

### Die JTAG-Architektur

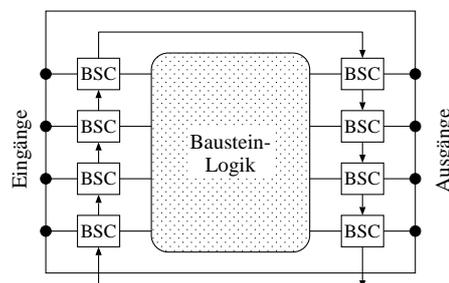


Abb. 3.2: Boundary-Scan Zellen in einem JTAG-Baustein, nach [MT92]

Um den Test einer Schaltung durchführen zu können, muß ein JTAG-Baustein im wesentlichen zwei Aufgaben erfüllen: Er muß seine logischen Ausgänge stimulieren- und den Zustand der Anschlüsse registrieren können. Dazu sind intern an allen Anschlüssen, die es zu überwachen gilt, sogenannte *Boundary-Scan Zellen* angeschlossen, wie es in Abb. 3.2 zu sehen ist.

Diese Zellen sind so miteinander verbunden, daß sie wie ein Schieberegister ausgelesen oder beschrieben werden können, sie bilden das sogenannte *Boundary-Scan Register*. Neben

<sup>1</sup>Institute of Electrical and Electronics Engineers, gesprochen „eye-triple-E“

diesem stehen noch ein 1 Bit langes Bypass-Register, das Befehlsregister sowie herstellerspezifische Register zur Verfügung. Eine jedem JTAG-kompatiblen Baustein eigene Logik steuert den Zugriff auf die einzelnen Zellen und Register. In Abb. 3.3 ist der prinzipielle Aufbau eines IEEE 1149.1-1990 – kompatiblen Chips dargestellt.

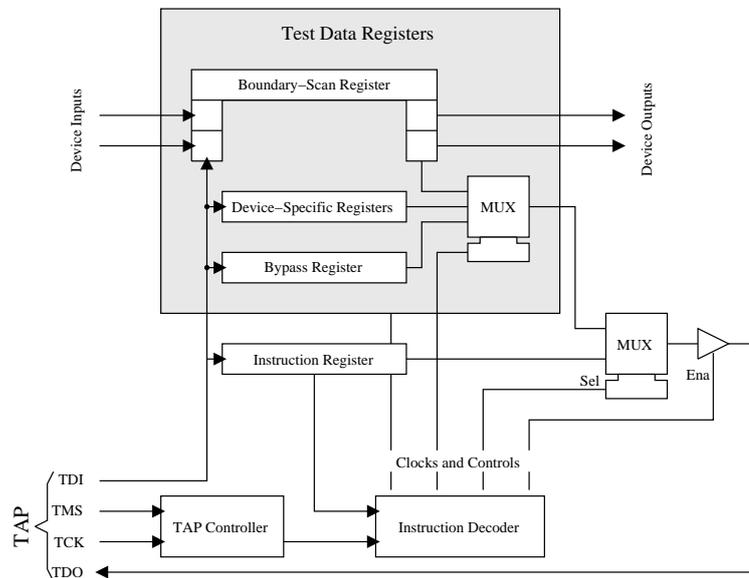


Abb. 3.3: Block-Diagramm eines JTAG-kompatiblen Bausteins

#### Steuerung eines JTAG-Bausteins

Extern verfügt jedes JTAG-Device über vier<sup>1</sup> Anschlüsse, die zusammen als *Test Access Port* (TAP) bezeichnet werden. Diese vier Bit haben dabei folgende Bedeutung:

- **Test Clock (TCK)**  
Mittels dieses Clock-Signals wird die zeitliche Steuerung realisiert.
- **Test Mode Selekt (TMS)**  
Über das TMS-Signal wird die interne Zustandsmaschine gesteuert, s.u.
- **Test Data In (TDI)**  
Die Daten am TDI-Eingang werden in die Register geschrieben.
- **Test Data Out (TDO)**  
Hierüber werden die Register ausgelesen.

<sup>1</sup>Optional kann noch ein fünfter Anschluß, das Test-Reset-Signal, vorhanden sein.

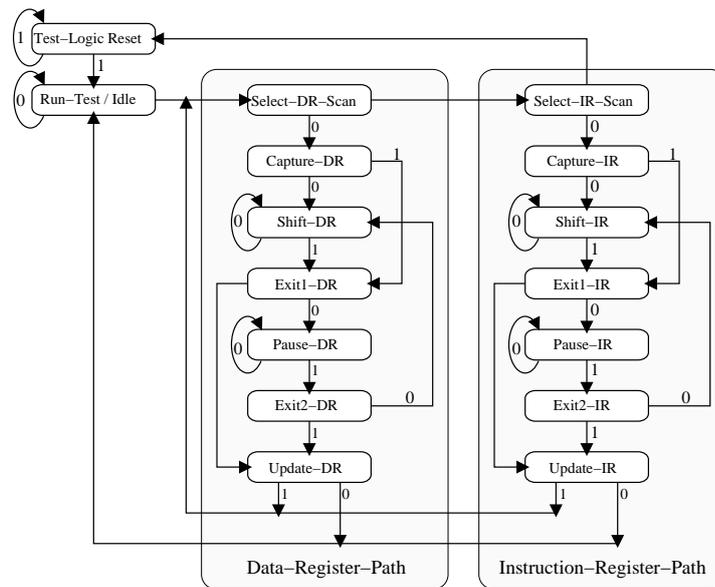


Abb. 3.4: Der TAP-Controller eines JTAG-Bausteins. Die Zahlen an den Pfeilen für die Zustandsänderungen stehen für den Wert des TMS-Signals bei steigender Flanke des TCK-Signals.

Intern wird die Steuerung über den sogenannten *TAP-Controller* erreicht. Dieser ist in Form einer Zustandsmaschine realisiert, die über das TMS- und das TCK-Signal gesteuert wird. Mittels des TMS-Signals kann dem TAP-Controller mitgeteilt werden, in welchen Zustand er beim nächsten Clock-Signal wechseln soll. Abb. 3.4 zeigt diese Zustandsmaschine. Die Zahlen an den Pfeilen bezeichnen dabei jeweils den TMS-Wert, der für die entsprechende Zustandsänderung gesetzt werden muß.

Neben den Zuständen *Test-Reset* und *Run-Test / Idle* muß dabei zwischen zwei Hauptpfaden unterschieden werden, dem Daten-Register-Pfad und dem Befehls-Register-Pfad, in denen die entsprechenden Register beschrieben b.z.w. ausgelesen werden können. Welches der Datenregister ( BS-Register, Bypass-Register, herstellerspezifische Register, siehe Abb. 3.3 ) dabei angesprochen wird, hängt vom derzeit ausgeführten Befehl ab.

## Das Befehlsregister

Befindet sich der TAP-Controller in dem Zustand *Shift-IR*, dann wird das Befehls-Schieberegister aktiv; es kann nun mit einem neuen Befehl geladen werden. Abb. 3.5 zeigt den prinzipiellen Aufbau dieser Baugruppe. Im Zustand *Update-IR* wird der Befehl ins Befehls-Latch übernommen und steht für den Befehls-Dekoder zur Verfügung. Laut Standard müssen drei Befehle von jedem JTAG-Baustein verstanden werden:

- BYPASS ( Normal-Modus )  
Ausgewähltes Datenregister: BYPASS  
Verkürzt den „Weg“ zwischen TDI und TDO auf 1 Bit. Wird im Daisy-Chain-Mode benutzt (s.u.), wenn nicht alle Bausteine aus der Kette getestet werden sollen.
- SAMPLE/PRELOAD ( Normal-Modus )  
Ausgewähltes Datenregister: Boundary-Scan-Register  
Im Zustand *Capture-DR* werden die BS-Zellen mit den logischen Pegeln der entsprechenden Anschlüsse gefüllt ( SAMPLE, Registrierung ). Über *Shift-DR* können diese ausgelesen und mit neuen Werten beschrieben werden. Bei *Update-DR* werden diese eingeschriebenen Werte in ein paralleles Ausgangslatch übernommen (PRELOAD)
- EXTEST ( Test-Modus )  
Ausgewähltes Datenregister: Boundary-Scan-Register  
Die normale Funktion des Bausteins wird unterbrochen, die Ausgangspins nehmen den Pegel der Boundary-Scan-Ausgangszellen an (Stimulation). Die Pegel der Eingangspins werden auch hier in die Boundary-Scan-Eingangszellen übernommen (Registrierung)

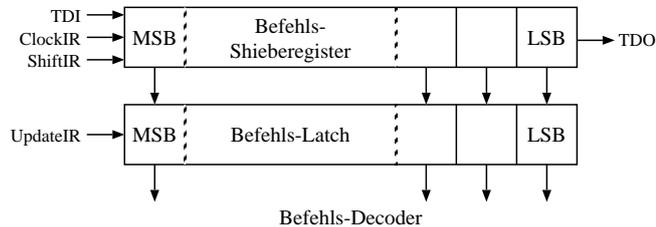


Abb. 3.5: Aufbau des Befehlsregisters, aus [Tro95]

## Daisy-Chain

JTAG bietet die Möglichkeit, mehrere Bausteine zu einer langen Kette hintereinander zu schalten; dies wird dann als *Daisy-Chain*<sup>1</sup> bezeichnet. Das TDO-Signal des einen Device wird dabei zum TDI-Signal des nächsten. TMS und TCK werden parallel an alle TAP's angelegt, siehe Abb. 3.6. Dabei können die verschiedenen Chips mit unterschiedlichen Befehlen geladen werden und entsprechend können unterschiedliche Register selektiert werden, der Zustand des TAP-Controllers ist aber bei allen IC's identisch.

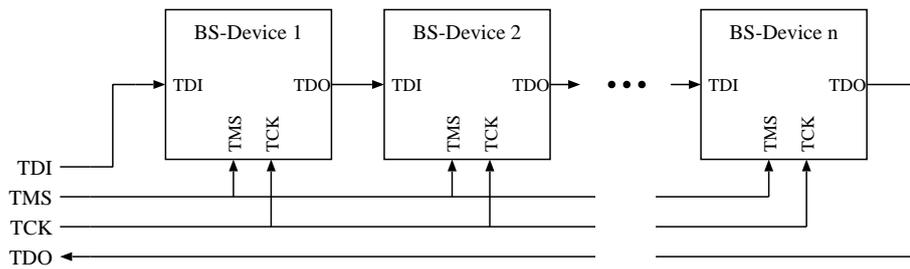


Abb. 3.6: Mehrere Bausteine in einem JTAG-Pfad

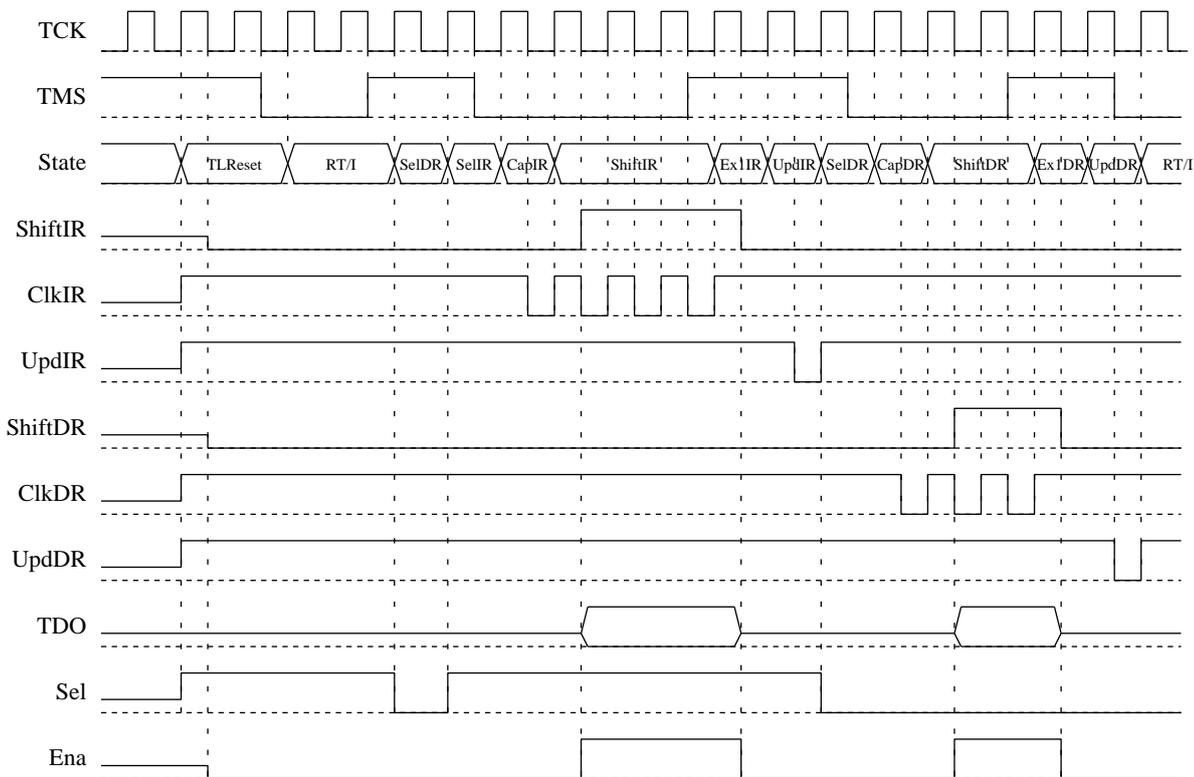


Abb. 3.7: Timing der Boundary-Scan-Signale, nach [Tro95]

### Das Timing

Für die korrekte Programmierung des JTAG-Busses ist natürlich die Kenntnis der zeitlichen Zusammenhänge zwischen den verschiedenen Signalen und Zuständen notwendig. Es ist im Besonderen darauf zu achten, daß das TMS-Signal mit der steigenden Flanke des Clock-Signals übernommen wird, während sich etwa das TDO-Signal mit der fallenden Flanke

<sup>1</sup>Wörtlich: Gänseblümchenkranz

ändert. Abb. 3.7 zeigt an einem Beispiel das Timing der verschiedenen Signale, die einen JTAG-Baustein steuern. Dabei sind neben den externen Eingängen, die den Test Access Port steuern, auch die internen Clock- und Datenleitungen und der derzeit aktuelle Zustand der Zustandsmaschine dargestellt.

### 3.3 Die wichtigsten Eigenschaften der verwendeten Boundary-Scan-Bausteine

Um die Steuerung des ITR Trigger Link zu realisieren, wurden zwei IEEE Std 1149.1 kompatible Bausteine der Firma Texas Instruments und die XILINX FPGA's eingesetzt:

#### 3.3.1 Der XILINX-Chip

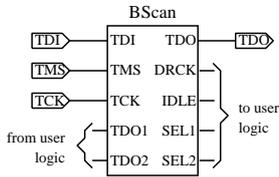
Der XILINX-FPGA XC4006E bietet neben den standard JTAG-Funktionen die Möglichkeit von benutzerdefinierten Registern. Damit sind Register gemeint, die nicht hardwaremäßig in dem Baustein integriert sind, sondern von der geladenen Firmware bereitgestellt werden. Auf diese Weise kann über den JTAG-Kanal mit der Logik des Chips „kommuniziert“ werden. Außerdem ist das Konfigurieren des XILINX über JTAG möglich, also das Einspielen einer anderen Firmware.

| Befehl |    |    | Selektierter Test | Selektiertes Register | Registerlänge [Bits]        | Bemerkung         |
|--------|----|----|-------------------|-----------------------|-----------------------------|-------------------|
| I2     | I1 | I0 |                   |                       |                             |                   |
| 0      | 0  | 0  | Exttest           | Boundary-Scan         | 392                         | nicht benutzt     |
| 0      | 0  | 1  | Sample/Preload    | Boundary-Scan         | 392                         |                   |
| 0      | 1  | 0  | User 1            | User                  | XMaster : 32<br>XWheel : 16 | Benutzerdefiniert |
| 0      | 1  | 1  | User 2            | —                     | —                           |                   |
| 1      | 0  | 0  | Readback          | Configure             | 119840                      | nicht benutzt     |
| 1      | 0  | 1  | Configure         | Configure             | 119840                      |                   |
| 1      | 1  | 0  | reserved          | —                     | —                           |                   |
| 1      | 1  | 1  | Bypass            | Bypass                | 1                           |                   |

*Tabelle 3.1: Die XILINX Boundary-Scan-Befehle und die zugehörigen Register. Bei den User-Befehlen ist das benutzte Register abhängig von der jeweiligen Implementierung.*

In Tabelle 3.1 sind alle Befehle und die mit ihnen verknüpften Register des XC4006 aufgelistet. Besondere Beachtung soll hierbei den besagten speziellen JTAG-Funktionen der XILINX-Bausteine geschenkt werden:

## Die USER-Kommandos



Nebenstehende Abbildung zeigt die Implementierung der User-Funktionen, wie sie der XILINX-Chip zur Verfügung stellt. (aus [XIL99a]). Entsprechend des verwendeten Befehls ( USER1 oder USER2 ) werden die zugehörigen SEL-Signale gesetzt, so daß sich damit z.B. Schieberegister aktivieren lassen. Außerdem wird das entsprechende TDO-Signal ( TDO1 oder TDO2 ) mit dem TDO-Pin des Chip verbunden. Zusammen mit der DRCK-Clock und dem TDI-Signal lassen sich nun benutzerdefinierte Logiken steuern.

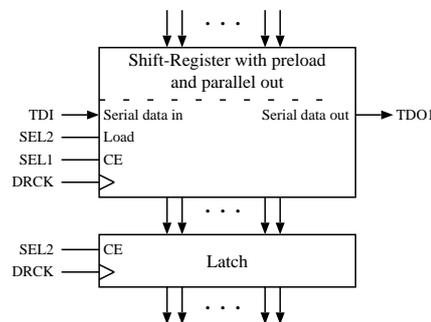


Abb. 3.8: Die hier verwendete Implementierung eines USER-Registers in einem XC4006-Chip

Bei der Implementierung in den XILINX-Chips der Linkkarten werden nun zwei Register verwendet, die zusammen das Auslesen von zu überwachenden Werten sowie das Setzen von Kontrollbits ermöglichen. In ein Schieberegister werden die Kontrolldaten hineingeschrieben und anschließend in einem Latch gespeichert. Danach werden die Status-Bits in das Schieberegister geladen und via JTAG ausgelesen. Das Auffangregister muß dabei nicht zwangsläufig die gleiche Länge wie das Schieberegister haben, es kann auch kürzer sein. Speziell in den XWheel-Chips auf den Linkkarten hat das Latch die Länge Null, siehe auch Kap. 3.4.3. In Abb. 3.8 ist die Implementierung des User-Registers dargestellt. Das Setzen und Lesen der Register kann somit in folgende Schritte unterteilt werden:

1. Schritt: Shift IR: USER1 Das Schieberegister wird mittels SEL1 aktiviert
2. Schritt: Shift DR Kontroll-Bits in das Schieberegister hineinschieben
3. Schritt: Shift IR: USER2 Kontroll-Bits werden in das Latch übernommen; das Schieberegister wird mit den auszulesenden Daten geladen.
4. Schritt: Shift IR: USER1 Das Schieberegister wird mittels SEL1 aktiviert
5. Schritt: Shift DR Auslese des Schieberegisters

## Das Konfigurieren der XILINX-Chips

In den flüchtigen Speicher des XILINX-Bausteins muß nach dem Einschalten der Versorgungsspannung die Firmware geladen werden. Dies kann auf verschiedene Weise erfolgen [XIL99b]: Beim *Peripheral-Mode* werden die Daten von einer externen Quelle, etwa einem Mikrokontrollersystem, byteweise in den XILINX geschoben. Dabei können mehrere Bausteine zu einer Daisy-Chain hintereinander geschaltet werden.

Im *Master-Mode* lädt der Chip die Daten selbständig aus einem nichtflüchtigen Speicher ( PROM, EPROM, ... ). Es kann sich dabei um einen seriellen ( *Master Serial Mode* ) oder um einen parallelen ( *Master Parallel Mode* ) Speicher handeln. Sollen mehrere FPGA's konfiguriert werden, so können diese, nachdem der Master sein Programm geladen hat, von diesem ihre Konfigurationsdaten aus dem Speicher erhalten ( *Slave Serial Mode* ). Dies entspricht dann dem Peripheral-Mode. Sollen mehrere Bausteine im Slave Serial Mode konfiguriert werden, so können diese parallel geschaltet werden und simultan das gleiche Programm erhalten. Es muß dann für alle FPGA's nur ein Programm im Speicher abgelegt werden. Es ist auch möglich, die Slave-Bausteine in einer *serial Daisy-Chain* anzuordnen. In diesem Fall können sie mit unterschiedlichen Konfigurationsdaten versehen werden, es muß jedoch für jeden Chip ein Programm im EPROM vorhanden sein.

Schließlich besteht die Möglichkeit, die Konfigurationsdaten über die JTAG-Schnittstelle in den Baustein zu laden. Mittels des Befehls CONFIGURE wird das Konfigurationsregister in den Boundary-Scan Pfad geschaltet und die Daten können in den Baustein geschrieben werden [XIL99a]. Wenn in dem JTAG-Pfad mehrere Bausteine zu einer Daisy-Chain verknüpft sind, kann ein einzelner Chip selektiert werden, indem die restlichen Bausteine im BYPASS-Mode betrieben werden.

Bei den Trigger-Link-Karten sind die Konfigurationsdaten für die FPGA's in einem seriellen EEPROM gespeichert. Nach dem Einschalten der Versorgungsspannung wird der XILINX mit der Bezeichnung *XMaster* mittels des Master-Serial Mode konfiguriert, anschließend wird die Firmware der *XWheel's* im Slave-Serial Mode aus dem Speicher in die Bausteine beschrieben. Dabei werden alle vier Chips parallel mit dem gleichen Programm geladen.

Dieses „Ur-“Programm wird dann, falls erforderlich, via JTAG durch ein anderes ersetzt. Dies ist bei den XWheel-Bausteinen, wie erwähnt, erforderlich, um verschiedene Datenformate zu realisieren. Auch können so künftige Software-Designs implementiert werden, ohne das EEPROM der Linkkarten austauschen zu müssen. Außerdem müssen die XWheel's, wenn die Linkkarte im Shift-Mode arbeitet, mit unterschiedlichen Programmen versehen werden, siehe Kap. 2.2.1. Da die FPGA-Bausteine der Linkkarten aber nicht im serial Daisy Chain-Mode programmiert werden, also alle mit dem gleichen Programm geladen werden, ist dies hier nur über die IEEE Std 1149.1-Schnittstelle möglich.

### 3.3.2 Der JTAG-Pfad-Multiplexer

Der Baustein 74ACT8997 der Firma Texas Instruments wird als „Scan Path Linker“, auch kurz SPL, bezeichnet [Tex96]; man kann ihn auch als Multiplexer für den JTAG-Pfad ansehen. Seine Aufgabe besteht darin, die vier Leitungen der Schnittstelle auf einen von vier möglichen Pfaden umzuleiten<sup>1</sup>. Der Multiplexer wird dabei selbst vollständig über JTAG gesteuert. In Abb. 3.9 ist der Bitstrom ohne b.z.w. mit einem zugeschalteten Scan-Pfad<sup>2</sup> zu sehen.

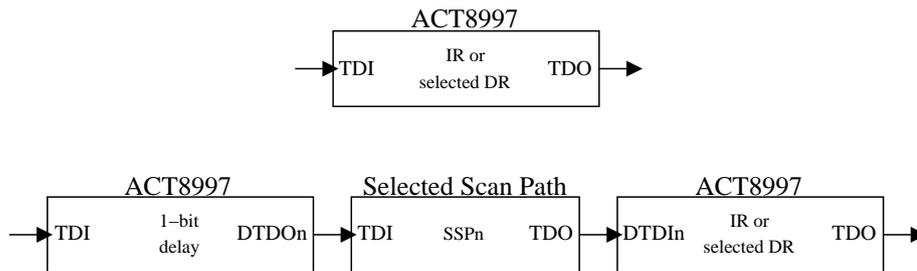


Abb. 3.9: ACT8997 ohne Scan-Pfad (oben) und mit einem selektierten Scan-Pfad (unten)

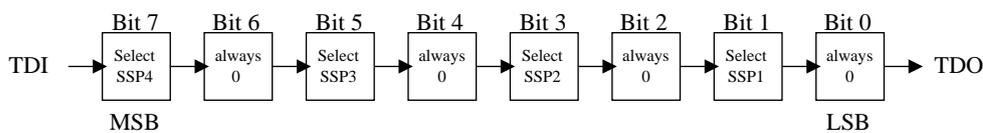


Abb. 3.10: Select-Register des ACT8997

| Befehl<br>MSB . . . LSB | Selektierter<br>Test | Selektiertes<br>Register | Registerlänge<br>[Bits] |
|-------------------------|----------------------|--------------------------|-------------------------|
| 01111110                | ScanSel              | Selection                | 8                       |
| 10001101                | Bypass               | Bypass                   | 1                       |
| 00001111                | ScanCn               | Control                  | 10                      |

Tabelle 3.2: Die verwendeten ACT8997 Boundary-Scan-Befehle und die zugehörigen Register

<sup>1</sup>Es können auch mehrere Pfade gleichzeitig selektiert werden. Von dieser Möglichkeit wird hier jedoch kein Gebrauch gemacht.

<sup>2</sup>Auch Secondary Scan Path

Welcher Pfad selektiert wird, wird über den Inhalt des Select-Registers, Abb. 3.10, bestimmt. Um das Select-Register zu beschreiben, muß der Befehl *ScanSel* ins Befehlsregister geladen werden. In Tabelle 3.2 sind die verwendeten Befehle des SPL aufgelistet.

Zum Betrieb des ACT8997 sind noch einige Einstellungen im *Kontroll-Register* zu setzen. Die Bedeutung der einzelnen Bits und die Werte, die ihnen hier zugewiesen werden, sind in Tabelle 3.3 zusammengefaßt.

| Bit-Nr. | Wert | Bedeutung                               |
|---------|------|---|
| 9       | x    | nicht benutzt                           |
| 8       | x    | nicht benutzt                           |
| 7       | 1    | DCO ist aktiv-high                      |
| 6,5     | 0,0  | DCO inaktiv, Level ist abh. von Bit 7   |
| 4       | x    | nicht benutzt                           |
| 3       | 0    | Konfiguriere DCO als Open-Drain-Ausgang |
| 2       | 1    | Aktiviere DCO                           |
| 1       | x    | nicht benutzt                           |
| 0       | 0    | Aktiviere Ausgänge der Scan-Pfade       |

Tabelle 3.3: Das Kontroll-Register des ACT8997

### 3.3.3 Der JTAG-Bus-Transceiver

Der Baustein 74ABT18245 der Firma Texas Instruments ist ein 18-Bit Bus Transceiver mit IEEE Std 1149.1 - Funktionalität. Durch entsprechende Konfigurations-Eingänge können einzelne Gruppen von IO-Pins als Dateneingänge oder als Ausgänge konfiguriert werden. Sämtliche Ein- und Ausgangspins sowie die Konfigurationseingänge sind über das Boundary-Register erreichbar. So ist es möglich, diesen Baustein im EXTEST-Mode zu benutzen, um 18 digitale Eingänge zu überwachen und 18 digitale Ausgänge zu steuern. Beim Trigger-Link des ITR wird dieser Chip auf diese Art benutzt, um die ansonsten nicht JTAG-fähigen Bausteine der Trigger-Treiber Spannungskontrolle zu steuern, siehe Kap. 3.4.2

Tabelle 3.4 zeigt die verwendeten Boundary-Scan-Befehle und die mit ihnen verknüpften Register des ABT18245.

| Befehl<br>MSB ... LSB | Selektierter<br>Test | Selektiertes<br>Register | Registerlänge<br>[Bits] |
|-----------------------|----------------------|--------------------------|-------------------------|
| 00000000              | Exttest              | Boundary-Scan            | 44                      |
| 00010000              | Bypass               | Bypass                   | 1                       |

Tabelle 3.4: Die verwendeten ABT18245 Boundary-Scan-Befehle und die zugehörigen Register

## 3.4 Die Elektronikkomponenten

### 3.4.1 Die JTAG Multiplexer- und Treiberkarte

Die JTAG-Signale der Slow-Control müssen von einem PC an acht Crates verteilt werden, die ca. 50 Meter entfernt sind. Dazu wird zum einen eine Selektion eines der acht Pfade benötigt, zum anderen müssen die elektrischen Pegel sicher und störungsfrei über diese relativ große Entfernung übertragen werden. Diese Aufgabe erfüllt eine in den Personal Computer eingebaute Elektronikarte, die auch als „JTAG primary distribution“ bezeichnet wird, Abb. 3.1.

In Abb. 3.11 ist die Karte schematisch dargestellt. Die Elektronik, die an den parallelen Port des Computer angeschlossen ist, wird zunächst durch Optokoppler galvanisch von diesem getrennt. Weiterhin existieren zwei Scan Path Linker ACT8997 der Firma Texas Instruments, die jeweils einen von vier Pfaden selektieren können, siehe oben. Ein Clock-Generator erzeugt die JTAG Sample-Clock, die direkt an die beiden SPL's und die Ausgangstreiber geleitet wird. Die Verbindung zu den Crates erfolgt über differentielle Signale.

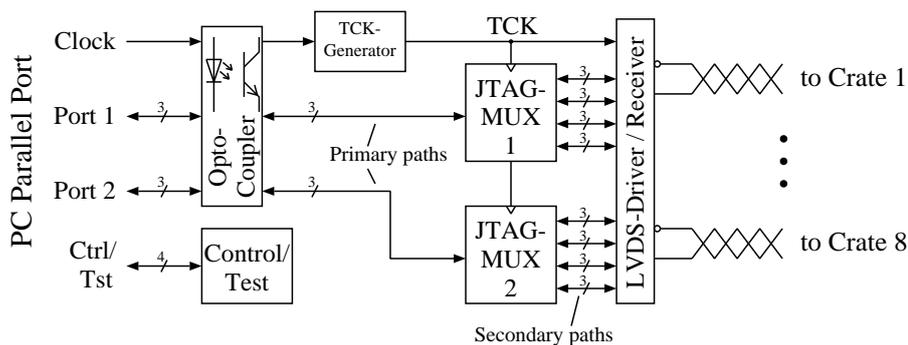


Abb. 3.11: Schema der JTAG Multiplexer- und Treiberkarte

### 3.4.2 Die Spannungsversorgung der Trigger-Treiber-Karten

Wie schon erwähnt, müssen die Treiber-Karten mit 2 mal 5 Volt Betriebsspannung versorgt werden. Dies erfolgt für jede Halbstation über zwei Netzteile, deren Ausgänge über eine Spannungsverteilung auf die sechs Karten verteilt werden. Von den TT-Karten führen Meßleitungen<sup>1</sup> zurück, so daß die Spannungen an den Karten kontrolliert werden können. Mittels Analog-Digital-Konverter können diese Sense-Spannungen digitalisiert und über die Slow-Control ausgelesen werden. Außerdem erfolgt abhängig von der Sense-Spannung eine Nachregelung der Netzteile, so daß der Spannungsabfall über die Versorgungsleitung kompensiert werden kann. Die Spannungsverteilung ermöglicht über Relais auch das Ausschalten einzelner Karten per Slow-Control. Dies kann sowohl bei einzelnen Karten sinnvoll sein, falls diese einen Defekt wie etwa einen Kurzschluß aufweisen sollte. Aber auch das Abschalten aller Treiber ist möglich, falls die Daten nicht ausgelesen werden b.z.w. der Detektor nicht in Betrieb ist.

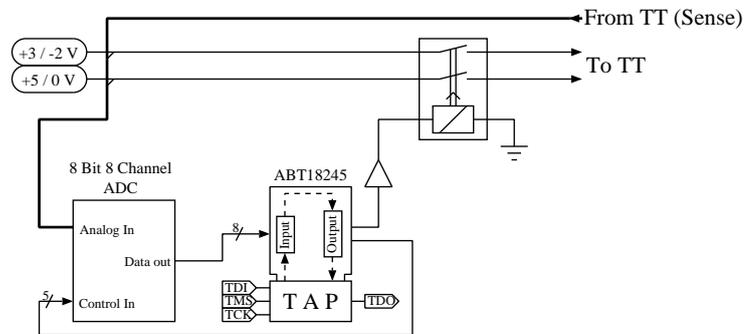


Abb. 3.12: Schema der Trigger-Treiber-Spannungskontrolle

Zur Steuerung der Relais sowie zur Ansteuerung und Auslese der Analog-Digital-Konverter wird der JTAG-fähige Bus-Transceiver 74ABT18245 von Texas Instruments eingesetzt. Er wird im EXTEST-Mode betrieben, so daß über die Aus- und Eingänge die Steuerung und die Auslese erfolgen kann. In Abb. 3.12 ist die Logik für die Steuerung einer Treiberkarte schematisch dargestellt.

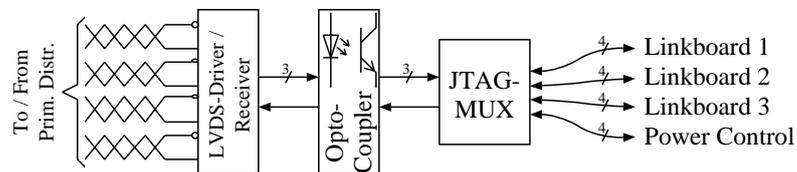


Abb. 3.13: Der zweite JTAG-Signalverteiler

<sup>1</sup>Allgemein auch als *Sense-Leitungen* bezeichnet.

Logisch von der Spannungsversorgung getrennt, physikalisch jedoch auf der gleichen Platine lokalisiert, ist der in Abb. 3.13 dargestellte zweite JTAG-Signalverteiler, in Abb. 3.1 auch als „JTAG secondary distribution“ bezeichnet. Dabei handelt es sich zunächst um Sender und Empfänger für die Boundary-Scan-Signale. Diese werden nach galvanischer Trennung durch Optokoppler auf einen der vier möglichen Scan-Pfade verteilt. Drei Pfade werden durch die drei Linkkarten einer Detektorstation gebildet, die eben beschriebene Spannungskontrolle bildet den vierten Pfad.

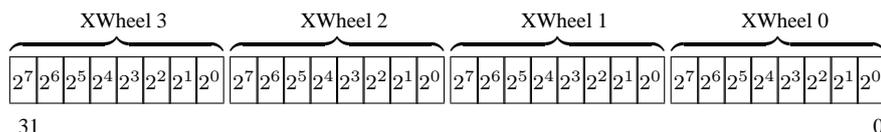
### 3.4.3 Die Trigger-Link-Karten

Der allgemeine Aufbau und die Funktionsweise der Trigger-Link-Karten wurde schon in Kap. 2.2 beschrieben. Hier soll nun speziell auf die Slow-Control-Eigenschaften der Karten eingegangen werden.

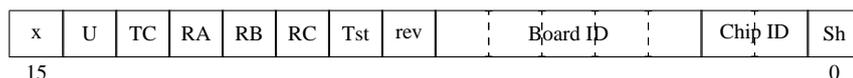
#### Die Statusregister

Sowohl der XMaster als auch die XWheel-Chips verfügen über Statusregister, in denen Informationen über die korrekte Funktion des Systems abgelegt werden.

Das Statusregister des XMaster ist 32 Bit lang. Es enthält für jeden XWheel einen 8-Bit-Zähler, in dem die Fehler gezählt werden, die bei der Kommunikation zwischen Autobahn-Chip und Xilinx auftreten. Sollte dieser Wert während des normalen Betriebes nicht konstant sein<sup>1</sup>, dann ist das ein Zeichen dafür, daß der Autobahn nicht korrekt arbeitet. Auf diese Art können defekte Autobahn-Bausteine mittels der Slow-Control erkannt werden. Die Bitfolge des Register ist folgender Abbildung zu entnehmen:



Das Statusregister eines jeden XWheels ist 16 Bit lang. Es enthält die Bord-ID, die natürlich für jeden Chip einer Karte die gleiche ist. Außerdem steht die Chip-ID zur Verfügung. Acht Statusbits geben Aufschluß über den Betriebszustand der Linkkarte. Die Bitfolge des Statusregisters ist:



<sup>1</sup>Ein konstanter Wert ungleich Null kann während der Initialisierungsphase nach dem Power-On oder während des Programmierens der XILINX-Bausteine entstehen.

Vier Bit informieren dabei über die derzeit geladene Firmware-Version des XILINX, durch die das Format der gesendeten Daten bestimmt wird, wie es in Kap. 2.2.1 beschrieben wurde:

- **revers**: Der XILINX arbeitet im Revers-Mode
- **Shift**: Der XILINX arbeitet im Shift-Mode
- **Upper part**: Nur im Shift-Mode: Der XILINX ist für den „Upper-Part“ zuständig
- **TC**: Nur im Shift-Mode: Die Firmware wurde für den TC-Bereich des Detektors erstellt

Die weiteren vier Bits geben Aufschluß über die korrekte Datenübertragung von den Trigger-Treiber-Karten zu den Linkkarten. Dabei wird für jeden der drei Eingänge, die zu einem XWheel gehören, überprüft, ob die Steuersignale von den Treiberkarten korrekt eintreffen. Ist dies der Fall, wird das entsprechende, sogenannte Run-Bit gesetzt. Dies sind die Flags RA, RB und RC des Statusregisters

Außerdem muß das Timing b.z.w. die Phasendifferenz zwischen der FCS-Clock und den Clock-Signalen der TT-Karten richtig eingestellt werden, wie dies in Kap. 2.2.2 bereits beschrieben wurde. Befindet sich diese Phasendifferenz in den gültigen Grenzen, dann enthält das **Test**-Bit eine 1.

#### **Steuerung des Betriebsmodus**

Analog zu der Möglichkeit, den Betriebsmodus über die FCS-Strobes zu steuern, kann man diesen auch über die Slow-Control einstellen. Dazu wurde im XMaster-Baustein ein Kontrollregister implementiert, in das die entsprechende Bitfolge hineingeschrieben werden kann. Tabelle 3.5 ist die Anordnung der einzelnen Flags zu entnehmen.

Dabei entspricht die Bedeutung der Bits 1 bis 6 der der entsprechenden FCS-Strobe-Bits aus Kap. 2.2.3. Bit 0 aktiviert das Boundary-Scan Kontrollregister, die FCS-Strobes werden dann nicht mehr ausgewertet. Dadurch ist es möglich, per Slow-Control die FCS-Einstellungen zu überschreiben. Mit Bit 8 bis Bit 14 können einzelne Bereiche der Trigger-Treiber-Karten abgeschaltet werden. Diese Funktion ist jedoch auf den derzeitigen Treiberkarten nicht implementiert. Bit 7 und Bit 15 werden hier nicht benutzt.

#### **Konfiguration der XILINX-Chips**

Nach dem Einschalten der Versorgungsspannung einer Linkkarte werden die XILINX-Bausteine mit den Daten aus einem nicht flüchtigen Speicher konfiguriert. Für bestimmte Aufgaben b.z.w. Datenformate ist jedoch ein anderes als dieses Start-Programm notwendig. Über die Slow-Control können diese speziellen Firmware-Versionen nachgeladen werden, in Kap. 3.3.1 wurde darauf bereits näher eingegangen.

|         |  |
|---------|--|
| Bit 0   | BS-Register aktivieren                   |
| Bit 1   | Testmode aktivieren                      |
| Bit 2   | 0 Sende Identifier<br>1 Sende Testmuster |
| Bit 3,4 | 3 4   Testmuster                         |
|         | 0 0   00h                                |
|         | 0 1   AAh                                |
|         | 1 0   Zähler                             |
|         | 1 1   Pseudo-Zufallsgenerator            |
| Bit 5   | On-Board Clock aktivieren                |
| Bit 6   | On-Board BX-Zähler aktivieren            |
| Bit 7   | Nicht benutzt                            |
| Bit 8   | Trigger-Treiber-Kontrolle aktivieren     |
| Bit 9   | 1. Drittel von TT-Karte 1 aktivieren     |
| Bit 10  | 2. Drittel von TT-Karte 1 aktivieren     |
| Bit 11  | 3. Drittel von TT-Karte 1 aktivieren     |
| Bit 12  | 1. Drittel von TT-Karte 2 aktivieren     |
| Bit 13  | 2. Drittel von TT-Karte 2 aktivieren     |
| Bit 14  | 3. Drittel von TT-Karte 2 aktivieren     |
| Bit 15  | Nicht benutzt                            |

Tabelle 3.5: Das Boundary-Scan Kontrollregister des XMaster

### Die Auslese der Triggerdaten

Die Triggerbits, die die XILINX-Chips an die Autobahn-Bausteine senden, können via Boundary-Scan ausgelesen werden. Dies entspricht dann den Daten, die während eines Cycle per Autobahn-Chip an die TFU übertragen werden. Mit Hilfe dieser Auslese können zahlreiche Tests bezüglich der Funktion der Detektoren sowie der Helix-Karten durchgeführt werden, wie sie in [Kel01a] zu finden sind.



# 4 Die Software des Kontrollsystems

## 4.1 Die HERA-B Slow-Control

Bei einem Experiment wie HERA-B gibt es viele Überwachungs-, Steuer- und Regelaufgaben, die relativ langsam ablaufen können. Dazu gehören etwa

- die Hochspannungsversorgung der Detektoren
- die Temperatur verschiedener Komponenten
- die Spannungsversorgung der Elektronik
- die Programmierung der Hardware ( z.B. Sharc, Helix, ... )
- u.s.w.

Im Gegensatz zum FCS-System, bei dem Megahertz-Taktung und Datenströme von Megabyte/sec. auftreten, sind beim Überwachen von z.B. Spannungen oder Temperaturen Wiederholraten im Bereich von wenigen Herz üblich, die Datenrate liegt in der Größenordnung von Bytes/Sekunde.

Den geringen Anforderungen bezüglich der Geschwindigkeit und der Datenrate stehen jedoch hohe Anforderungen bezüglich Zuverlässigkeit gegenüber. Während des Betriebs des Detektors muß sichergestellt sein, daß jede Komponente nach Möglichkeit einwandfrei arbeitet. Sollten Störungen auftreten, so müssen diese gemeldet und aufgezeichnet werden. Außerdem muß eine Steuerung der einzelnen Komponenten durch eine übergeordnete Instanz möglich sein, die auch die Synchronisation zwischen den einzelnen Subdetektoren übernimmt. Um dies zu realisieren, wurde bei HERA-B eine baumartige Struktur entwickelt, wie sie in Abb. 4.1 zu sehen ist.

Auf der untersten Ebene befinden sich die Hardwaretreiber, in der HERA-B Nomenklatur auch „*Parameter-Control*“ genannt. Diese sind für das Ansprechen und die Bedienung der Hardwarekomponenten zuständig, siehe unten. Die *Parameter-Control* kommuniziert mit den darüberliegenden Knoten, den sogenannten *Higher-Level-Control-Nodes*, von denen die

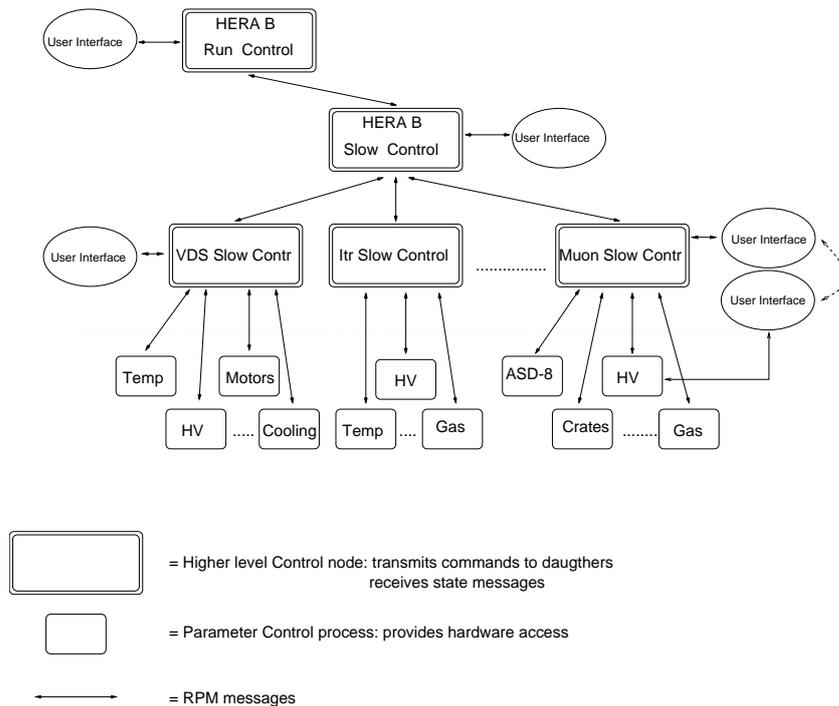


Abb. 4.1: Überblick über die HERA-B Slow Control, aus [JU98c].

HERA-B Run Control die oberste Ebene darstellt. Abgesehen von der Parameter-Control, deren Implementierung natürlich von der entsprechenden Hardware abhängig ist, sind alle Funktionen und Protokolle bei HERA-B standardisiert und stehen dem Programmierer in entsprechenden Bibliotheken zur Verfügung. So erfolgt etwa die Kommunikation der verschiedenen Knoten über das Messaging-System *RPM*<sup>1</sup> [DES98b].

Die einzelnen Knoten werden durch eine Zustandsmaschine<sup>2</sup> repräsentiert. Dabei wird davon ausgegangen, daß sich jedes Programm nur in einem bestimmten Zustand (z.B. INITIALIZE, READY, ERROR, ...) befinden kann (siehe etwa [JU98a]). Neben dem **Zustand** der State-Machine gibt es noch **Meldungen** wie *OK*, *Warning*, *Alarm*, *Error* und *Unknown*, die über den derzeitigen Status informieren.

Die Kommunikation zwischen den einzelnen Knoten, die nur in vertikaler Richtung erfolgen kann, läuft auf einem sehr hohen Abstraktionsniveau ab. So werden nur Informationen über Zustand und Status ausgetauscht. Dabei geht jeweils, ausgehend von der Run Control, von einem Knoten einer höheren Ebene der Befehl zur Zustandsänderung an die darunterliegende Ebene, bis hinunter zur Parameter Control. Hat diese ihren Zustand geändert, so meldet sie dies an den übergeordneten Knoten. Dieser geht in den neuen State über, wenn alle Knoten

<sup>1</sup>Real Powerful Messaging System

<sup>2</sup>auch *Finite State Machine*

darunter die erfolgreiche State-Änderung gemeldet haben. Auf diese Weise kann die Run-Control sicher gehen, daß sich alle Ebenen in dem vorgesehenen Zustand befinden.

Eine Ausnahme bildet hier der ERROR-Zustand, in den ein Knoten selbständig wechseln kann. Sollte dies passieren, so wird dies an den übergeordneten Knoten gemeldet, so daß dieser entsprechend reagieren kann.

Mit jedem Knoten kann eine sogenannte graphische Benutzerschnittstelle, im Folgenden auch GUI<sup>1</sup> genannt, verbunden werden, so daß eine direkte Steuerung möglich wird. Bei diesen Benutzerschnittstellen ist eine Standardisierung besonders wichtig, da dadurch die Benutzer bei jedem Subsystem eine ähnliche Oberfläche mit ähnlichen Funktionen vorfinden und sich nicht erst mühsam einarbeiten müssen.

Die Werte der von der Parameter Control überwachten Meßgrößen ( Spannungen, Ströme, Temperaturen, ... ) könne in eine Datenbank geschrieben werden, um später den Zustand des Detektors rekonstruieren zu können. Dazu kann auf einem beliebigen Computer der *Status Database Server* ausgeführt werden, der die Verwaltung der Datenbank übernimmt. Die Parameter Control ihrerseits kann nun Daten an den Server senden, die dieser verarbeitet. Mittels einer grafischen Oberfläche, die sich ebenfalls an den Datenserver wendet, können die Werte visualisiert oder auch verändert werden.

Um die einzelnen Kanäle der Parameter-Control eindeutig identifizieren zu können, wurde ein einheitliches Bezeichnungs-Schema eingeführt: Jeder Kanal wird nach dem Muster **detector/system/gruppe/kanal** benannt.

Bei HERA-B werden alle Programme der Slow-Control in der Programmiersprache C b.z.w. C++<sup>3</sup> erstellt, mit Ausnahme der grafischen Benutzerschnittstellen. Diese werden standardmäßig in Tcl/Tk<sup>2</sup> zusammen mit eventuell notwendigen Erweiterungen realisiert.

### Die Sprache Tcl/Tk

Die Interpretersprache Tcl zeichnet sich zum einen durch ihre Einfachheit aus. Zum Anderen bietet Tcl die Möglichkeit, den Befehlssatz durch selbstdefinierte Funktionen, die in C oder C++<sup>3</sup> geschrieben werden, zu erweitern. Durch diese Möglichkeit, anwendungsspezifischen Befehle zu erstellen, existiert eine ausgesprochen leistungsfähige und komfortable C-Schnittstelle. Dadurch können komplexe oder zeitkritische Operationen in C implementiert werden, während man den Programmablauf in der einfachen Tcl-Umgebung realisiert ( siehe Abb. 4.2 ). Tcl stellt jedoch keinerlei Funktionalität für grafische Ausgaben oder Benutzeroberflächen zur Verfügung.

Die auf Tcl basierende Erweiterung Tk füllt diese Lücke auf und bietet zahlreiche Funktionen zur Erzeugung von grafischen Oberflächen. Auch bei der Entwicklung von Tk wurde auf

---

<sup>1</sup>Graphical User Interface

<sup>2</sup>Tool command language / Toolkit

<sup>3</sup>Im Folgenden werde ich der Einfachheit halber stets nur von C schreiben, damit ist stets auch implizit C++ gemeint.

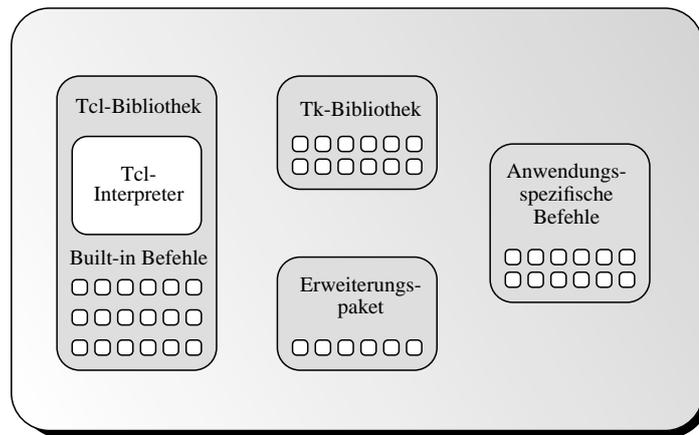


Abb. 4.2: Beispiel für eine Tcl/Tk-Anwendung [Ous95]

eine einfache Erweiterbarkeit Wert gelegt, so daß mittlerweile eine Vielzahl von zusätzlichen Paketen verwendet werden können; beispielhaft seien hier nur Tix, BLT und TclX genannt<sup>1</sup>.

Einige Eigenschaften der Tcl/Tk-Programmierungsumgebung sind:

- **C-Schnittstelle**  
Die erwähnte C-Schnittstelle ist für HERA-B sehr wichtig, da Die Funktionen unterhalb der Benutzeroberfläche ( Parameter-Control, Database-Server, u.s.w, siehe Abb. 4.3 ) in Tcl nicht zu realisieren sind.
- **Schnell zu erlernen, kurze Entwicklungszeiten**  
Das hohe Abstraktionsniveau ermöglicht es, mit wenigen, schnell zu erlernenden Befehlen anspruchsvolle graphische Oberflächen zu erstellen. Da bei HERA-B viele Programmierer vor der Aufgabe stehen, für Ihr System eine Benutzerschnittstelle zur Verfügung zu stellen, ist dies ein wichtiger Faktor. Eine lange Einarbeitungszeit würde unnötig viel Arbeitskraft verbrauchen.
- **Geringe Ausführungsgeschwindigkeit**  
Wie jede interpretierte Scriptsprache ist natürlich auch Tcl bei der Ausführung langsamer als eine Compilersprache. Für die Benutzerschnittstelle ist dies jedoch kein Nachteil, da es hierbei nicht auf Geschwindigkeit ankommt.
- **Frei verfügbar**  
Sowohl Tcl/Tk als auch die meisten Erweiterungspakete sind freie Software, Lizenzgebühren müssen nicht gezahlt werden.

---

<sup>1</sup>Diese Erweiterungspakete werden auch bei der HERA-B slow control verwendet.

- Plattform-Unabhängigkeit  
Tcl/Tk und die meisten Erweiterungspakete sind für Windows-, MacOS- und UNIX-Systeme erhältlich. Dadurch können Applikationen erstellt werden, die ohne Veränderung auf verschiedenen Systemen eingesetzt werden können.

## 4.2 Der Aufbau der ITR Trigger-Link Slow-Control

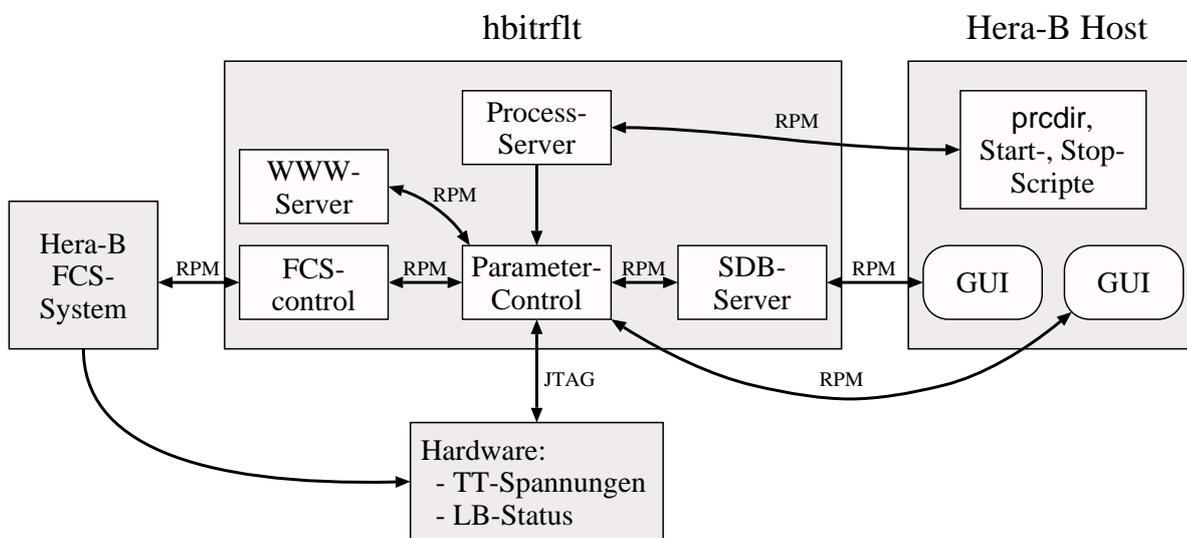


Abb. 4.3: Die Softwarestruktur der ITR Trigger-Link Slow-Control

Abb. 4.3 zeigt den Aufbau der Trigger-Link Slow-Control Software. Die Parameter-Kontrolle läuft auf einem PC mit dem Namen *hbitrflt*, auf dem das Betriebssystem LINUX installiert ist. Daneben läuft auf diesem Rechner noch ein WWW-Server, so daß man sich den Zustand der kontrollierten Hardware auch mit einem Internet-Browser ansehen kann. Außerdem wird hier der Database-Server ausgeführt, mit dessen Hilfe die Trigger-Treiber Spannungen und Ströme aufgezeichnet werden.

Die Kontrolle der Prozesse auf der *hbitrflt* kann von einem beliebigen HERA-B -Computer aus geschehen, der an das RPM-System angeschlossen ist. Zu diesen Kontrollmöglichkeiten zählen natürlich zum Einen die Benutzerschnittstellen, aber auch das Starten und Beenden der Parameter-Control, falls dieses nötig sein sollte.

Im Folgenden sollen die Funktionen und Aufgaben der einzelnen Komponenten beschrieben werden. Mehr über die Bedienung ist im Kap. 4.4 zu finden.

## 4.2.1 Hilfsprogramme

### Status Database Server

Die Spannungen und Ströme der Trigger-Treiber-Karten werden in regelmäßigen Abständen in eine Datenbank geschrieben, die der HERA-B *Status Database Server*, kurz auch nur SDB-Server, verwaltet. So kann im Nachhinein festgestellt werden, welche Karten zu welchem Zeitpunkt betriebsbereit waren. Außerdem können die Werte über einen großen Zeitraum beobachtet werden, so daß etwa Schäden an den elektronischen Bausteinen durch radioaktive Strahlung in einem erhöhten Stromverbrauch zu erkennen sind.

### Process-Server

Der HERA-B *Process-Server* erlaubt das Starten, Überwachen und Stoppen von Programmen von einem beliebigen Rechner des HERA-B Netzwerkes aus. Der Process-Server ist Teil des *Process Manager Package* [DES98a], das das HERA-B Message-System RPM verwendet. Das Paket enthält auch eine grafische Benutzerschnittstelle sowie Service-Programme zur Ansteuerung des Process-Servers.

Auf der **hbitrflt** wird der Process-Server eingesetzt, um den Ablauf der Parameter-Kontrolle zu steuern. Dies ermöglicht es dem Benutzer, die Slow-Control zu starten, ohne sich auf dem Rechner anmelden zu müssen.

### WWW-Server

Ein WWW-Server<sup>1</sup>, der über eine Programm-Schnittstelle<sup>2</sup> Zugriff auf die Parameter-Control hat, erlaubt es, sich den Status der Triggerelektronik mit jedem Internet-Browser ansehen zu können. Für jede Halbstation werden

- die Spannungen der Trigger-Treiber-Karten
- die Einstellungen des FCS-Systems
- der Status der Linkboards

angezeigt, sofern die entsprechende Hardware installiert ist. Abb. 4.4 zeigt ein Beispiel für die Status-Seite.

### FCS-Control

Dieses kleine Programm wurde geschrieben, um die Steuerung des FCS-Systems von der Parameter-Control zu entkoppeln. Es wird, wenn notwendig, von der Parameter-Control aufgerufen und kommuniziert über RPM mit dem HERA-B FCS-Server.

---

<sup>1</sup>Die URL lautet <http://hbitrflt.desy.de>. Der Server ist jedoch nur vom DESY-Netzwerk aus erreichbar.

<sup>2</sup>Common Gateway Interface, CGI

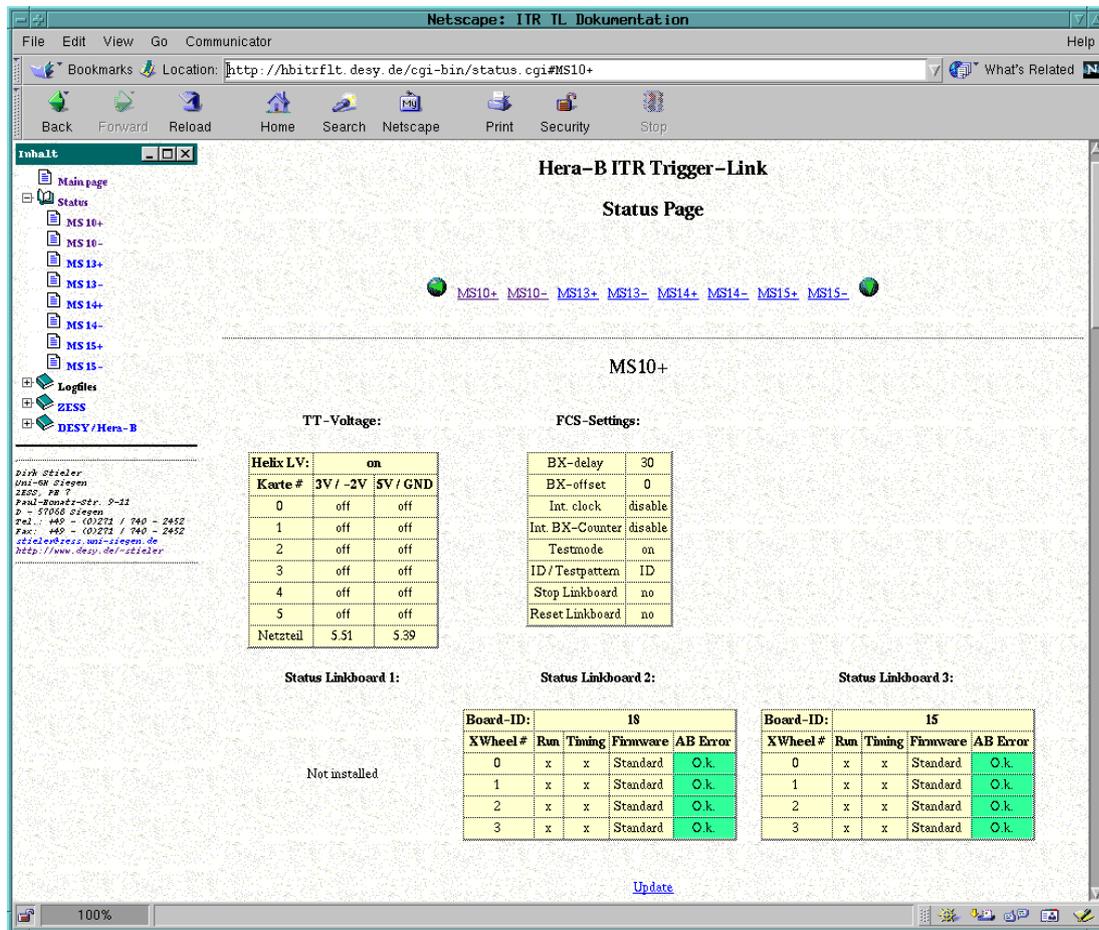


Abb. 4.4: Triggerstatus im WWW

## 4.3 Der Hardware-Treiber

Der Hardwaretreiber des Trigger-Link des ITR läuft unter dem Namen **spc\_itflt**. Er wird mittels des Process-Manager-Paketes auf dem Linux-Rechner mit dem Namen **hbitrflt** ausgeführt (siehe Kap. 4.4.1). Die Aufgaben dieses für die Trigger-Link Slow-Control zentralen Programmes können in zwei Teilbereiche aufgeteilt werden: Die Steuerung und Kontrolle der Spannungsversorgung für die Trigger-Treiber-Karten sowie Bedienung der Trigger-Link-Karten.

Bei der Kontrolle der Spannungsversorgung müssen für jede TT-Karte der Status (ein- oder abgeschaltet), zwei Spannungen und die dazugehörigen Ströme überwacht werden. Wie in Kap. 4.1 erwähnt, werden die zu überwachenden Kanäle nach einem einheitlichen Schema benannt. Beim Inner-Tracker sind in jeder Trigger-Halbstation sechs TT-Karten verbaut,

außerdem wird das entsprechende Netzteil regelmäßig überprüft. Somit ergibt sich für die Benennung der Kanäle folgendes Schema:

```
itr/flt/10+/1
itr/flt/10+/2
itr/flt/10+/3
itr/flt/10+/4
itr/flt/10+/5
itr/flt/10+/6
itr/flt/10+/N

itr/flt/10-/1
itr/flt/10-/2
...
```

Die Linkkarten werden nach dem gleichen Schema benannt. Da für jede Halbstation drei Karten eingebaut werden, ergibt sich folgende Numerierung:

```
itr/flt/10+/LB0
itr/flt/10+/LB1
itr/flt/10+/LB2

itr/flt/10-/LB0
itr/flt/10-/LB1
...
```

Wie in Kap. 3.4.3 bereits beschrieben, kann die korrekte Funktion der Linkkarten mittels einiger Status-Register überprüft werden. Auch müssen die XILINX-Chips konfiguriert und FCS-Einstellungen getroffen werden. Über ein GUI b.z.w. über Konfigurationsdateien können die entsprechenden Einstellungen vorgenommen werden, die Vorgehensweise dazu wird in Kap. 4.4 genauer aufgezeigt.

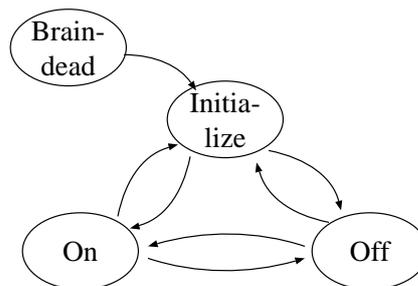


Abb. 4.5: Die Zustandsmaschine der ITR-TL Parametercontrol

Wie in obigem Kapitel über die HERA-B Slow-Control beschrieben, stellt die Parameter-Control nach Außen eine Zustandsmaschine dar. Hier beschränkt sie sich, abgesehen von dem „Startzustand“ BRAINDEAD, auf die States INITIALIZE, ON und OFF, wie es in Abb. 4.5 zu sehen ist.

INITIALIZE dient, wie der Name schon sagt, zur Initialisierung. Konkret bedeutet dies zunächst, daß beim Eintritt in diesen Zustand die Konfigurationsdateien eingelesen und die internen Strukturen initialisiert werden. Anschließend wird die Hardware entsprechend den Einstellungen aktualisiert:

- Mittels eines Hardware-Scan wird ermittelt, welche Komponenten ( also welche TT-Power-Karten und welche Linkkarten ) installiert und betriebsbereit sind.
- Die Relais für die Trigger-Treiber-Karten werden entsprechend der Einstellungen in der Konfiguration ein- b.z.w. ausgeschaltet.
- Die Linkkarten werden auf die derzeit geladene Firmware hin untersucht. Stimmt diese nicht mit der laut Konfiguration gewünschten Version überein, wird die benötigte Software nachgeladen.
- Die Autobahn-Chips werden, soweit möglich, auf korrekte Funktion hin überprüft.
- Die Einstellungen des FCS-Systems, also Strobe-Pattern, FCS-Clock-Delay und FCS-Couter-Offset, werden überprüft und wenn nötig neu gesetzt.

Daß die Konfiguration beim Eintritt in INITIALIZE gelesen wird bedeutet natürlich auch, daß Änderungen in den entsprechenden Dateien nach jedem Eintritt in den INIT-State gültig b.z.w. aktuell werden.

Die in obiger Auflistung genannten Aktivitäten werden nicht nur während der Initialisierung, sondern auch während des normalen Betriebes in regelmäßigen Zeitabständen durchgeführt. So werden etwa Fehler bei der Datenübertragung mit den Autobahn-Bausteinen schnell registriert.

Im INITIALIZE-Zustand wird keine Auslese und somit keine Überwachung der Spannungen und Ströme der Trigger-Treiber-Karten durchgeführt. Um dies zu erreichen, muß die Zustandsmaschine nach ON oder OFF gewechselt werden. Diese Zustände sind im wesentlichen identisch und unterscheiden sich nur dadurch, daß beim Eintritt in OFF alle TT-Karten ausgeschaltet werden, beim Eintritt in ON werden alle Karten gemäß der Datei *config.txt* ( siehe Kap. 4.4 ) an b.z.w. abgeschaltet. Nachdem die Zustände erreicht worden sind, ist ein manuelles Schalten der Relais über die grafische Benutzerschnittstelle möglich. Die Strom- und Spannungswerte werden regelmäßig ausgelesen und wenn nötig in die Datenbank geschrieben. Beim Über- oder Unterschreiten von Grenzwerten wird ein Warn- oder Fehlerstatus ausgegeben.

## 4.4 Die Bedienung der Slow-Control

In Kapitel 4.2 wurden die Bestandteile und der Aufbau der Inner-Tracker Slow-Control Software vorgestellt. Hier soll nun konkret die Bedienung der einzelnen Komponenten, also das Ausführen und die Konfiguration, beschrieben werden. Dabei ist zu unterscheiden, ob die

Prozesse auf dem Slow-Control-Rechner **hbitrflt** aufgeführt werden, oder ob die Prozesse auf einem beliebigen DESY-Rechner laufen können.

Die meisten hier beschriebenen Dateien und Programme sind nur dann zugänglich, wenn man sich als Benutzer **hbitr** auf dem entsprechenden Rechner angemeldet hat.

### 4.4.1 Programme und Dateien auf dem Rechner HBITRFLT

**spc\_it\_flt** Die Parameter-Control läuft unter dem Namen *spc\_it\_flt*. Das Programm wird mit Hilfe von *proserv* gestartet, wie es unten beschrieben wird. Der Prozeß sollte ständig laufen und verfügbar sein.

**proserv** Die Kontrolle, also das Starten und das Beenden, des Slow-Control-Prozesses erfolgt mit Hilfe des HERA-B *Process Manager Package* [DES98a]. Dazu existiert das Programm **proserv**, das über RPM zum Ausführen b.z.w. stoppen von Programmen aufgefordert werden kann. So können Anwendungen gestartet werden, ohne daß man sich auf dem entsprechenden Computer einloggen muß, man muß nicht einmal einen Account auf diesem Rechner besitzen<sup>1</sup>. Auf der *hbitrflt* wird der Process-Server beim Hochfahren des Systems automatisch gestartet und sollte immer laufen. Ist doch mal ein (Neu-) Start notwendig, so kann dies mittels des Shell-Skripts `hbproserv{start|stop|restart}` erfolgen. Der Slow-Control-Prozeß *spc\_it\_flt* wird mit dem Server automatisch mitgestartet b.z.w. -gestoppt.

**sdbserver** Der Status-Database-Server *sdbserver* kann auf jedem HERA-B - Rechner aufgeführt werden. Derzeit ( Stand Sommer 2001 ) läuft er jedoch auch auf der *hbitrflt*. Wie der Process-Server wird auch der Database-Server beim Hochfahren des Betriebssystems gestartet und sollte immer laufen. Ein manuelles Starten und Stoppen ist aber auch hier durch `hbsdbserver{start|stop|restart}` möglich.

**crate.cfg** Die Datei *crate.cfg* enthält wichtige Einstellungen für die verschiedenen Triggerstationen sowie die Dateinamen der zur Verfügung stehenden Firmwareversionen ( siehe auch Kap. 2.2.1 ). Die Bedeutung der Einträge im Einzelnen:

- Port: Hardwareadresse der Detektor-Station
- FCS-Daughter: Nummer der eingesetzten FCS-Tochter.
- PC/TC: Gibt an, ob sich die Station im PC- oder im TC-Bereich befindet. Diese Angabe wird bei aktiviertem Shift-Mode benötigt.
- X-Direction: Befindet sich die Station in der +x- oder der -x-Region?
- Revers: Revers-Mode aktivieren. Nicht in Verbindung mit Shift-Mode erlaubt.

---

<sup>1</sup>Aus Sicherheitsgründen kann der Prozeß-Server (natürlich) so konfiguriert werden, daß nur bestimmte Programme gestartet werden können.

- **Shift:** Shift-Mode aktivieren. Nur für Stationen im +x Bereich erlaubt.

Änderungen in dieser Datei werden von der Parameter-Control übernommen, wenn deren Status nach *Initialize* wechselt. Folgendes Listing zeigt ein Beispiel für `crate.cfg`:

```
# Config-File fuer Inner-Tracker Trigger-Link
# Port FCS-Daughter 0=PC/1=TC X-Dir. Revers(0/1) Shift(0/1)
  0      5      0      +1      0      1      # MS10+
  1      4      0      -1      1      0      # MS10-
  2      2      0      +1      0      1      # MS13+
  3      3      0      -1      1      0      # MS13-
  4      7      1      +1      0      1      # MS14+
  5      1      1      -1      1      0      # MS14-
  6      8      1      +1      0      1      # MS15+
  7      6      1      -1      1      0      # MS15-
#
# Config file names:
# Master:
/home/hbitr/xmaster8.rbt
#
# Wheel normal mode:
/home/hbitr/xwheel8.rbt
#
# Wheel rev. mode:
/home/hbitr/xwheel8r.rbt
#
# Wheel shift mode upper part ( PC-Region )
/home/hbitr/xwheel11_upper.rbt
#
# Wheel shift mode lower part ( PC-Region )
/home/hbitr/xwheel11_lower.rbt
#
# Wheel shift mode upper part ( TC-Region )
/home/hbitr/xwheel13_upper.rbt
#
# Wheel shift mode lower part ( TC-Region )
/home/hbitr/xwheel13_lower.rbt
#
# Ende Config-File
```

**SPC-Konfigurationsdateien** Wie in [JU98a] und besonders [JU98b] beschrieben, benötigt das SPC-System mehrere Konfigurations-Dateien, in denen die Zustandsmaschine und die Monitor- b.z.w. Konfigurationsparameter beschrieben werden. Da der Aufbau b.z.w. das Format dieser Dateien in der erwähnten Slow-Control Dokumentation beschrieben ist, soll hier nur kurz darauf eingegangen werden:

- **config.txt** Hier wird für jeden Kanal angegeben, ob das entsprechende Relais beim Eintritt in den ON-Zustand ein- oder ausgeschaltet werden soll
- **monitor.txt** Die zulässigen Ober- und Untergrenzen für die Monitor-Parameter, also für Ströme und Spannungen, werden hier festgelegt.

- **1.stt, 1def.stt** Die Zustände der Zustandsmaschine und die möglichen Übergänge werden hier definiert.

## 4.4.2 Programme auf beliebigem HERA-B - PC

### Starten und Beenden der SC-Programme

Das SC-Programm `spc_itflt` sollte im Normalfall durchgehend auf der `hbitrflt` laufen. Sollte jedoch ein (Neu-)Start nötig sein, so kann dies von jeder HERA-B - Maschine aus geschehen:

Mit Hilfe von `prcdir` können die derzeit auf der `hbitrflt` laufenden Kindprozesse des Prozessmanagers dargestellt werden und ggf. beendet werden. Für den Neustart wird das Skript `startSPC` aufgerufen.

### Grafische Benutzerschnittstelle

Die Grafische Benutzerschnittstelle wird mit `startFLT` gestartet und entspricht im wesentlichen den HERA-B Standard SPC-GUI's.

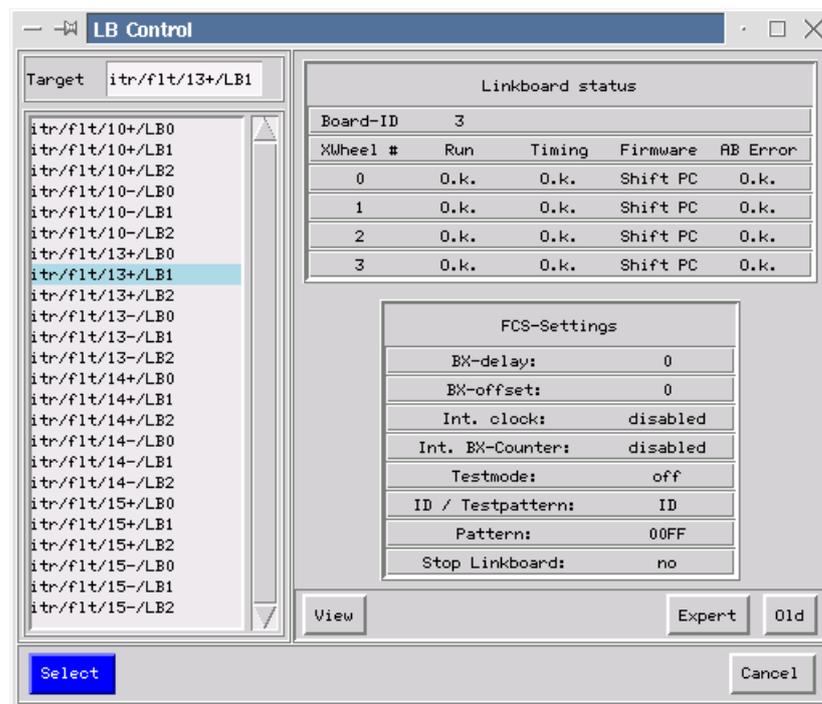
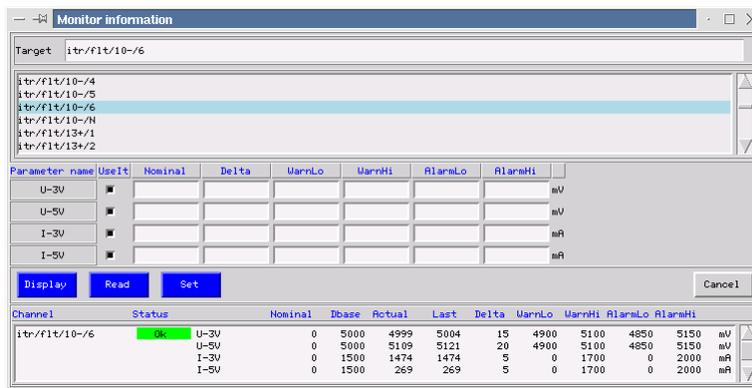


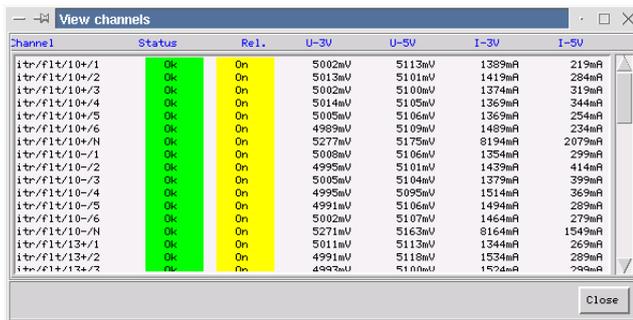
Abb. 4.6: Linkbord-Kontroll-Fenster

Durch Betätigen des LB Control-Buttons erscheint das Fenster zur Kontrolle der Linkboards ( Abb. 4.6 ). Nach der Selektion eines LB erscheinen der Status für die ausgewählte Karte und die FCS-Settings für das entsprechende Crate. Außerdem können unter View und Expert Fenster für interne Tests sowie das Ändern der FCS-Einstellungen geöffnet werden ( vgl. auch Kap. 2.2.3 ).

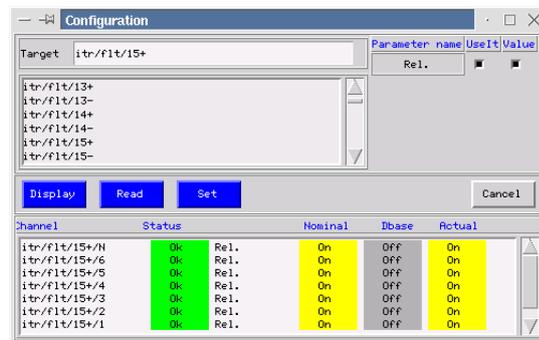
Über View b.z.w. Expert->Monitor können die Trigger-Treiber-Spannungen und -Grenzwerte eingesehen b.z.w. geändert werden, über Expert->Config werden die zugehörigen Relais ein- und ausgeschaltet. In Abbildung 4.7 sind die entsprechenden Fenster zu sehen.



a.)



b.)



c.)

Abb. 4.7: Die GUI-Fenster für die TT-Spannungen. Für die Spannungen können Grenzwerte festgelegt werden (a), die Werte können überwacht werden (b) und die Karten können Ein- und Ausgeschaltet werden (c).



# 5 Simulationen

## 5.1 Einführung

Bei HERA-B wurde die ARTE<sup>1</sup>-Programmierungsumgebung entwickelt, um für alle Arbeitsgruppen eine gemeinsame Schnittstelle bei der Datenanalyse zu verwirklichen. Die Anwendungen reichen von Monte-Carlo-Simulationen über Online- oder Offline-Rekonstruktion bis hin zu physikalischen Analysen der Detektordaten. In ARTE-spezifischen Datenstrukturen, den sogenannten *ARTE tables*, werden generelle Informationen wie Detektorgeometrie, Monte-Carlo-Daten und Detektordaten zur Verfügung gestellt [DES96]. Eine C++-Schnittstelle, die in [Bor00] beschrieben wird, ermöglicht den komfortablen, objektorientierten Zugriff auf die ARTE-Daten.

Zur Erzeugung von Monte-Carlo-Daten wurde das ARTE-Modul **MCGEN** [Loh99] entwickelt, das für die speziellen Gegebenheiten beim HERA-B Experiment optimiert wurde. Es baut auf das Paket **FRITIOF** [Pi92] auf, welches am CERN entstand. FRITIOF kann Effekte wie Mehrfachstreuung und Energieverlust simulieren und basiert seinerseits auf PYTHIA [Sjö94], welches zur Berechnung von Nukleon-Nukleon-Stößen konzipiert wurde [I<sup>+</sup>99].

Mit Hilfe dieser generierten Event-Daten sind hier Untersuchungen durchgeführt worden, die den Beitrag des Inneren Spurkammersystems zur ersten Triggerstufe bei HERA-B betrachten.

## 5.2 Beitrag des inneren Spurkammersystems zur Triggereffizienz

Damit die erste Triggerstufe einen  $J/\psi$ -Zerfall erkennt, müssen beide daraus entstandenen Leptonen in jeder Stereolage der Triggerstationen PC1, PC4, TC1 und TC2<sup>2</sup> „gesehen“ werden. Eine hohe Triggereffizienz der Detektorlagen ist daher für eine gute Effizienz des FLT zwingend erforderlich.

---

<sup>1</sup>Analysis and Reconstruction Tool

<sup>2</sup>Bei den äußeren Spurkammern und beim Trigger werden die Triggerstationen mit PC1, PC4, TC1 und TC2 bezeichnet, siehe Abb. 5.1.

Mit der Triggereffizienz der Detektorlagen ist dabei die Wahrscheinlichkeit gemeint, mit der nach einem Teilchendurchgang durch den Detektor der Ausgang des entsprechenden Triggerkanals gesetzt wird. Sie ergibt sich aus der Effizienz des Detektors selber und der Effizienz der nachgeschalteten Elektronikkomponenten. Beim ITR betrifft dies im Speziellen die Komparatorschaltung des Helix-Chips, die in Kap. 1.5 beschrieben wurde. In [Kel01a] werden detaillierte Studien betreffend der Helix-Komparatorschaltung durchgeführt. Mit *Kammereffizienz* ist in diesem Kapitel stets die *Triggereffizienz* der Detektorkammern des ITR gemeint.

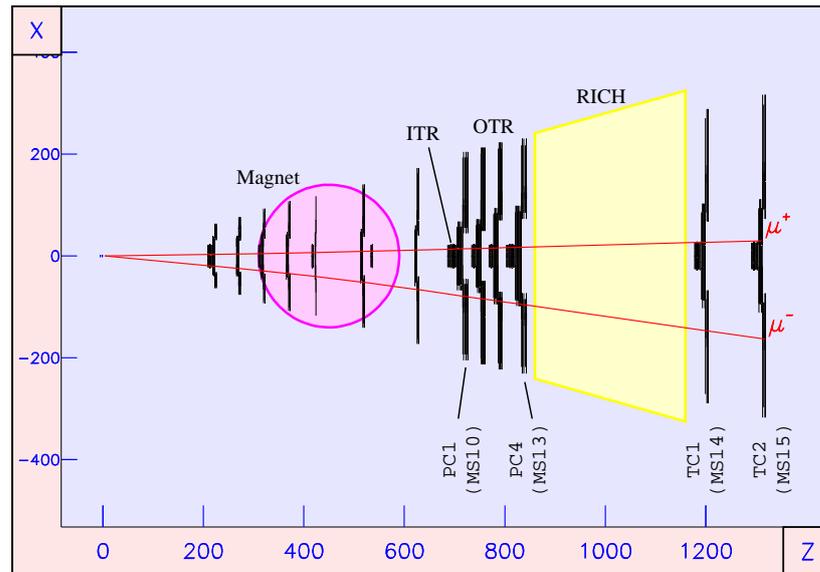


Abb. 5.1: Die Spuren eines  $J/\psi \rightarrow \mu^+ \mu^-$  Zerfalls in der  $x$ - $z$ -Ebene

Hier soll untersucht werden, wie sich verschiedene Konfigurationen b.z.w. Effizienzen des Inner Tracker auf die gesamte Effizienz der ersten Triggerstufe auswirken. Dazu wurde zunächst ermittelt, wie viele Hits von Leptonen man pro  $J/\psi$ -Zerfall im Mittel in den Kammern des ITR erwartet. Abb. 5.1 soll dies verdeutlichen. Hier sind die Spuren eines typischen  $J/\psi \rightarrow \mu^+ \mu^-$  Zerfalls in der  $x$ - $z$ -Ebene dargestellt. In diesem Beispiel hat man zwei Hits in der PC-Region ( $\mu^+$  in MS10 und MS13) und keinen Treffer in den TC-Stationen<sup>1</sup>.

In Tabelle 5.1 ist angegeben, wie viele Hits man bei einem  $J/\psi$ -Zerfall pro Detektorregion im Mittel zu erwarten hat. Um die Tabelle zu ermitteln, wurden unter ARTE die Spuren von 1000  $J/\psi$ -Zerfällen untersucht, die mit oben genanntem Monte-Carlo-Tool erzeugt wurden.

Daraus läßt sich zunächst ablesen, daß bei 62% der Ereignisse keine der Leptonspuren durch eine ITR-Station verläuft. Bei 38% der Ereignisse würde also das innere Spurkammer-system zum Trigger beitragen, wenn die Effizienz einer Einzellage 100% betragen würde.

<sup>1</sup>Um präzise sagen zu können, daß in der PC-Region zwei Hits vorliegen, müßte zusätzlich die  $y$ - $z$ -Projektion betrachtet werden.

| PC-Region | TC-Region |     |      |     |     |
|-----------|-----------|-----|------|-----|-----|
|           | 0         | 1   | 2    | 3   | 4   |
| 0         | 62.1      | 0.0 | 0.0  | 0.0 | 0.0 |
| 1         | 6.8       | 0.0 | 0.0  | 0.0 | 0.0 |
| 2         | 9.2       | 2.7 | 12.0 | 0.0 | 0.0 |
| 3         | 0.9       | 0.4 | 1.4  | 0.0 | 0.0 |
| 4         | 0.8       | 0.4 | 1.6  | 0.5 | 1.5 |

Tabelle 5.1: Rel. Anzahl der Hits in ITR-Triggerstationen der PC- und der TC-Region

Bei sinkender Effizienz der Einzellagen sinkt aber natürlich auch der Triggerbeitrag des Inner Tracker. In Abb. 5.2 ist der Beitrag der inneren Spurkammern zur gesamten Triggereffizienz in Abhängigkeit der Einzelkammereffizienz dargestellt ( mittlerer Graph ). Durch die Bedingung des FLT, daß *jeder* Durchgang einer Leptonenspur durch eine Triggerstation „gesehen“ werden muß, ist eine hohe Einzelkammereffizienz für einen guten Beitrag zum Trigger sehr wichtig.

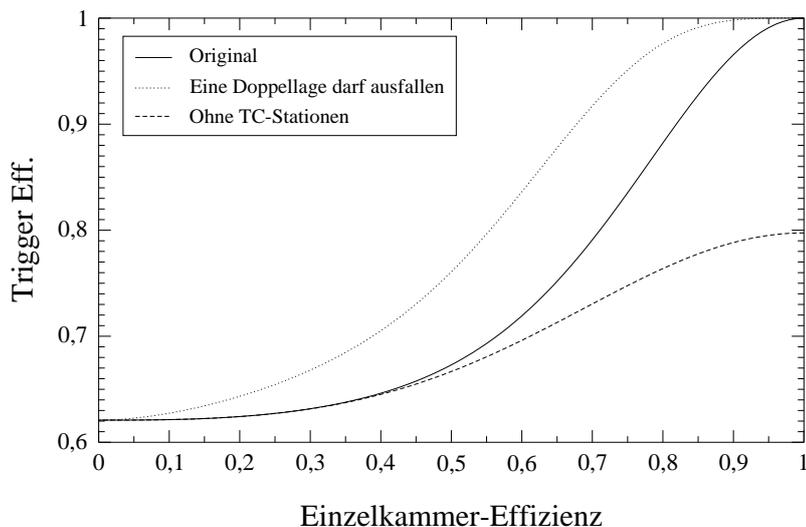


Abb. 5.2: Der Beitrag des inneren Spurkammersystems zur ersten Triggerstufe in Abhängigkeit der Einzelkammereffizienz des ITR

Der untere Graph in Abb. 5.2 zeigt das Ergebnis, wenn beim ITR nur Stationen im PC-Bereich installiert würden. Es zeigt sich, daß in etwas weniger als der Hälfte der Ereignisse die Kammern aus dem TC-Bereich einen Beitrag leisten.

Der obere Graph in Abb. 5.2 zeigt das Ergebnis, wenn der Trigger-Algorithmus erlauben würde, daß bei jedem Ereignis **eine** beliebige Doppellage kein Triggersignal sendet. Dies würde bei Einzelkammereffizienzen von kleiner 90% bis 95% zu einem erheblichen Ansteigen der Triggereffizienz führen. Wie in Kap. 1.6.1 beschrieben wurde, sucht der FLT in einer Region Of Interest nach gültigen Dreierkoinzidenzen, um die Spur in den Detektorstationen zu rekonstruieren. Die hier vorgeschlagene Veränderung des Algorithmus würde also bedeuten, daß in einer Station nur eine Zweierkoinzidenz benötigt wird. Dies würde natürlich zu einem Ansteigen der Geisterrate, also der „vermeintlichen“ oder „falschen“ Spuren, führen. In folgendem Kapitel soll abgeschätzt werden, mit was für einem Anstieg gerechnet werden müßte.

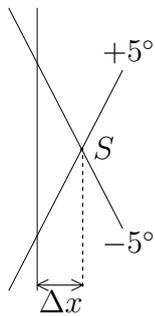
### 5.3 Untersuchung zu einem geänderten Triggeralgorithmus

Wie in Kap. 1.6.1 beschrieben wurde, suchen die Track Finding Units nach gültigen Dreierkoinzidenzen zwischen den drei Stereolagen einer Detektorstation. Um die Triggereffizienz zu erhöhen, kann es nun aber wünschenswert sein, daß der FLT in begrenztem Umfang auch Zweierkoinzidenzen akzeptiert. Zum einen wurde in vorigem Kapitel bereits die deutliche Steigerung der Triggereffizienz bei begrenzter Detektor-Kammereffizienz gezeigt. Die dort gezeigte Steigerung setzt aber voraus, daß die TFU's zur Laufzeit entscheiden können, bei welcher Detektorstation sie eine Zweierkoinzidenz akzeptieren. Ob diese „dynamische“ Methode technisch realisierbar ist, ist derzeit nicht geklärt.

Es gibt jedoch zumindest die Möglichkeit, „statisch“ Detektorregionen vorzugeben, in denen Zweierkoinzidenzen akzeptiert werden. Dies kann benutzt werden, um die Sensitivität des Trigger für Bereiche mit schlechten oder toten Detektorkammern zu erhalten. Dabei kann man bei der Konfiguration der TFU's komplette Superlagen oder einzelne Detektorbereiche angeben, in denen zwei Hits für den Trigger hinreichend sind [Ger00].

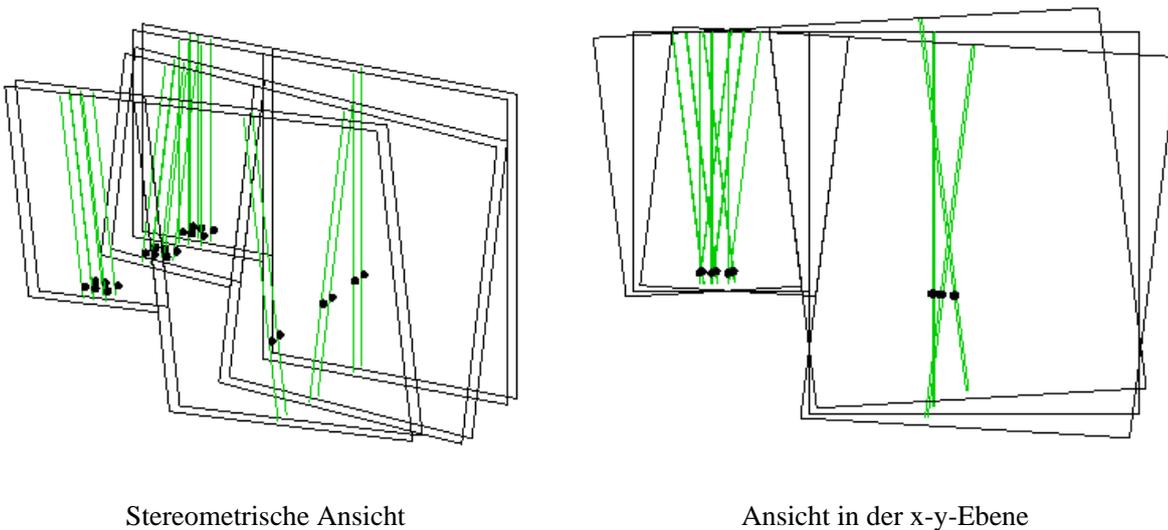
Neben diesen Modifikationen im Algorithmus des Triggers kann man auch an eine Änderung der Triggerdaten denken, die von den Detektoren zu den Track Finding Unit's gesendet werden. So können die Triggerbits „schlechter“ Detektorbereiche im Trigger-Link grundsätzlich auf Eins gesetzt werden. Für die Triggerentscheidung sind dann nur noch die beiden verbleibenden Detektorlagen maßgeblich.

In diesem Kapitel soll nun untersucht werden, wie sich eine Änderung des Triggeralgorithmus' auf die Anzahl der fälschlich akzeptierten Hits auswirkt.



Zur Erinnerung sei hier nochmal die Darstellung einer Dreierkoinzidenz aus Kap. 1.6.1 herangezogen. Gültige Koinzidenzen sind solche, bei denen der Abstand  $\Delta x$  kleiner als der halbe Abstand zwischen zwei Triggerkanälen ist. Dabei werden die Hits zuvor auf eine Ebene projiziert, die senkrecht zur wahrscheinlichsten Spurrichtung des gesuchten Leptons aus dem  $J/\psi$ -Zerfall steht.

Läßt man zu, daß auch eine Zweierkoinzidenz akzeptiert wird, steigt natürlich die Anzahl der fälschlich akzeptierten Hits. Um die Größe dieser Zunahme abschätzen zu können, wurden die Monte-Carlo-Daten für einen Detektorquadranten, in diesem Fall MS10 +x +y, ausgewertet; es wurde die Anzahl der auftretenden Zweier- b.z.w. Dreierkoinzidenzen zwischen den Triggerlagen betrachtet. Als Zweierkoinzidenz wird ein Schnittpunkt der Drähte<sup>1</sup> der 0°-Lage und der -5°-Lage angesehen, es wird also die +5°-Lage im Triggeralgorithmus nicht berücksichtigt. Bei all diesen Betrachtungen werden die Spuren der Leptonen aus dem  $B^0 \rightarrow J/\psi K_S^0$ -Zerfall ausgeblendet. Es werden also nur die Hits der Spuren betrachtet, die vom First Level Trigger herausgefiltert werden sollen, es soll hier nur die „Geisterrate“ interessieren.



Stereometrische Ansicht

Ansicht in der x-y-Ebene

Abb. 5.3: Teilchenspuren eines Ereignisses in den Triggerlagen eines Detektorquadranten.

In Abb. 5.3 sind beispielhaft die Detektorhits für ein beliebiges Ereignis dargestellt. Der First Level Trigger würde hier drei Dreierkoinzidenzen finden – drei Spuren, die links dicht nebeneinander liegen. Die vierte Spur würde verworfen, da die Schnittpunkte der Stereolagen keine gültige Dreierkombination bilden<sup>2</sup>.

<sup>1</sup>Mit *Draht* sei in diesem Kapitel nicht ein Anodenstreifen des Detektors sondern ein Triggerkanal gemeint.

<sup>2</sup>Diese bildliche Betrachtung ist etwas vereinfacht, da keine Projektion auf die wahrscheinlichste Spurrichtung erfolgt. Bei der Simulation wird dies natürlich durchgeführt.

Zunächst wurde untersucht, wie viele der Spuren, die durch den Detektor gehen, auch eine Koinzidenz verursachen. Dabei habe ich keine Kreuzungspunkte zwischen Drähten berücksichtigt, die von unterschiedlichen Teilchenspuren stammen. M.a.W.: Eine Spur kann vom First Level Trigger nur „gesehen“ werden, wenn sie eine Koinzidenz hervorruft. Ich habe also betrachtet, wie viele der durch den Detektor verlaufenden Spuren vom FLT gefunden werden können. Dabei sollte für fast jeden Track eine Zweierkoinzidenz auftreten, Dreierkoinzidenzen werden wegen besagten Auswahlkriterien natürlich stärker unterdrückt.

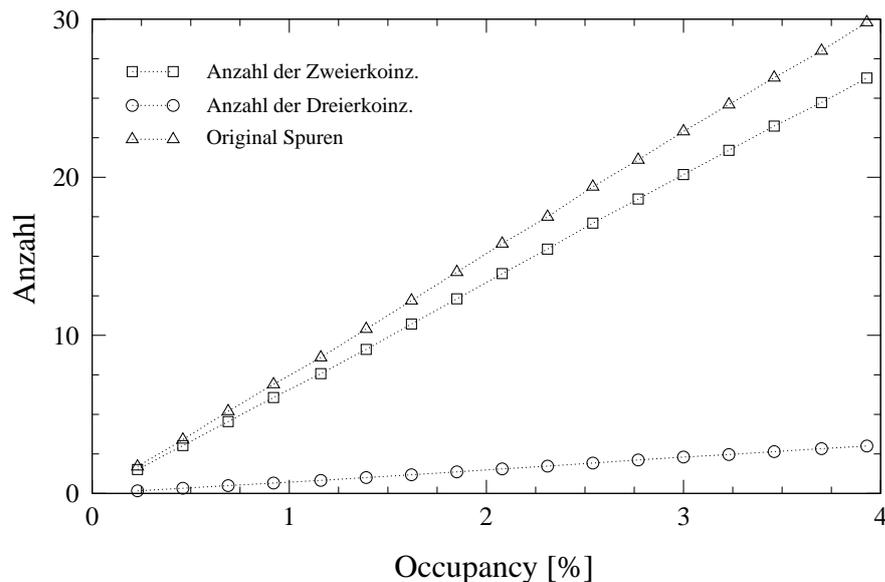


Abb. 5.4: Anzahl der Spuren durch einen Quadranten der Detektorstation MS10 in Abhängigkeit der Occupancy. Dargestellt ist auch die Anzahl der gefundenen Koinzidenzen.

In Abb. 5.4 ist das Ergebnis dieser Betrachtung zu sehen. Die obere Kurve stellt die Anzahl der tatsächlich durch den Detektorquadranten verlaufenden Spuren pro Ereignis in Abhängigkeit der Occupancy<sup>1</sup> dar<sup>2</sup>. Die Anzahl der Zweierkoinzidenzen wird durch den mittleren Graph dargestellt. Sie ist etwas geringer als die Anzahl der Spuren, da schräge Spuren, die nahe am Rand des Detektors durch die Kammern verlaufen, einen Kreuzungspunkt außerhalb des Detektorvolumens hervorrufen können. Dabei gibt es hier zwei konkurrierende Effekte: Einige Teilchen können mehrere Zweierkoinzidenzen hervorrufen, da bei einem Teilchendurchgang zwei benachbarte Triggerkanäle ansprechen können. Andere Spuren erzeugen gar keine Koinzidenz im Detektorvolumen, dargestellt ist die Resultierende.

<sup>1</sup>engl.: Belegung, Belegungsrate. Bezeichnet hier die rel. Anzahl der Detektorkanäle, die pro Ereignis ansprechen.

<sup>2</sup>Dabei wird die Detektorbelegung natürlich gerade durch die Anzahl der Spuren, die durch die Kammer hindurchgehen, bestimmt, so daß die Darstellung des Graphen eigentlich überflüssig ist. Es soll jedoch ein Vergleich mit den beiden anderen Kurven erfolgen.

Die Zahl der Dreierkoinzidenzen, der unterste Graph, ist gegenüber den ersten beiden Kurven erheblich reduziert, da die meisten Teilchen einen relativ großen Winkel gegenüber der „wahrscheinlichsten Spurrichtung“ aufweisen. Bei diesen Spuren ist also der Wert  $\Delta x$  zwischen den Schnittpunkten der Stereolagen und der  $0^\circ$ -Lage größer als der maximal zulässige Wert. In Abb. 5.5 ist die Verteilung dieses  $\Delta x$ -Wertes zu erkennen. Der schraffiert dargestellte Bereich kennzeichnet dabei Spuren, die vom FLT akzeptiert würden. Der Quotient aus der Fläche des schraffierten Bereiches zur gesamten Fläche unter dem Graphen entspricht dabei dem Verhältnis von der unteren zur oberen Geraden in Abb. 5.4.

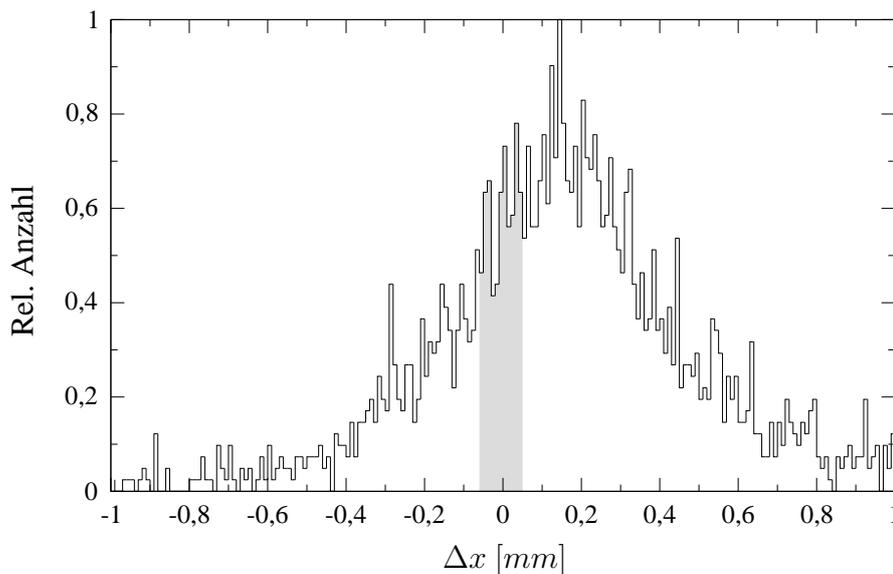


Abb. 5.5:  $\Delta x$ -Verteilung der Spuren durch einen Detektorquadranten. Spuren aus dem hervorgehobenen Bereich bilden gültige 3er-Koinzidenzen. ( MS10 )

Desweiteren gibt es Schnittpunkte zwischen Drähten, die von Spuren unterschiedlicher Teilchen „getroffen“ wurden. Abb. 5.6 zeigt die gefundenen Zweier- und Dreierkoinzidenzen. Der Wert der Zweierkoinzidenzen steigt quadratisch mit der Occupancy an, wie ein Fit an die Meßpunkte zeigt. Die Zahl der Dreierkoinzidenzen hingegen steigt mit der dritten Potenz der Belegungsrate. Auch dies wird durch einen Fit verdeutlicht.

Die Aufspaltung der Koinzidenzen in einen linearen und einen quadratischen b.z.w. kubischen Term ist natürlich nur in der Simulation möglich. Der FLT sieht die Summe aus diesen Anteilen, die in Abb. 5.7 gezeigt ist.

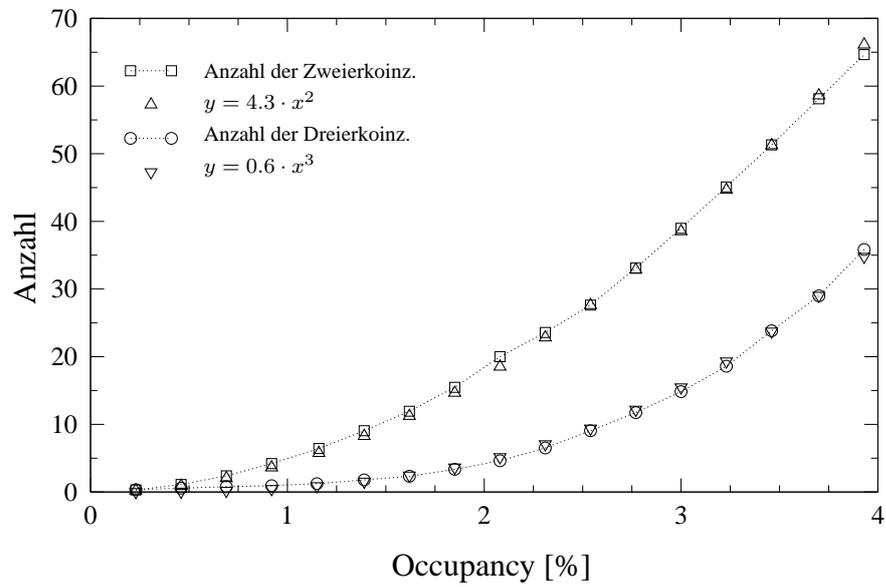


Abb. 5.6: Anzahl der Koinzidenzen in Abhängigkeit der Occupancy. (MS10)

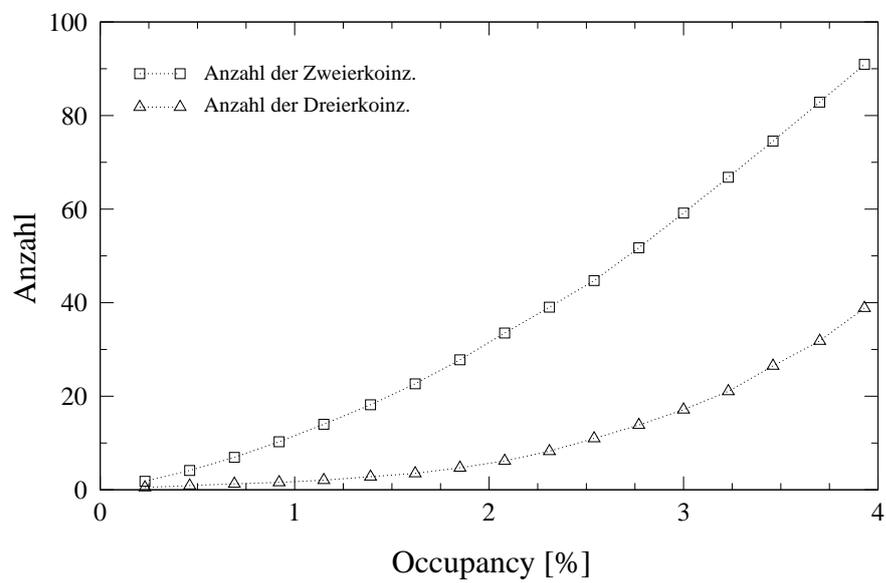


Abb. 5.7: Die Gesamtzahl der Zweier- und Dreierkoinzidenzen. (MS10)

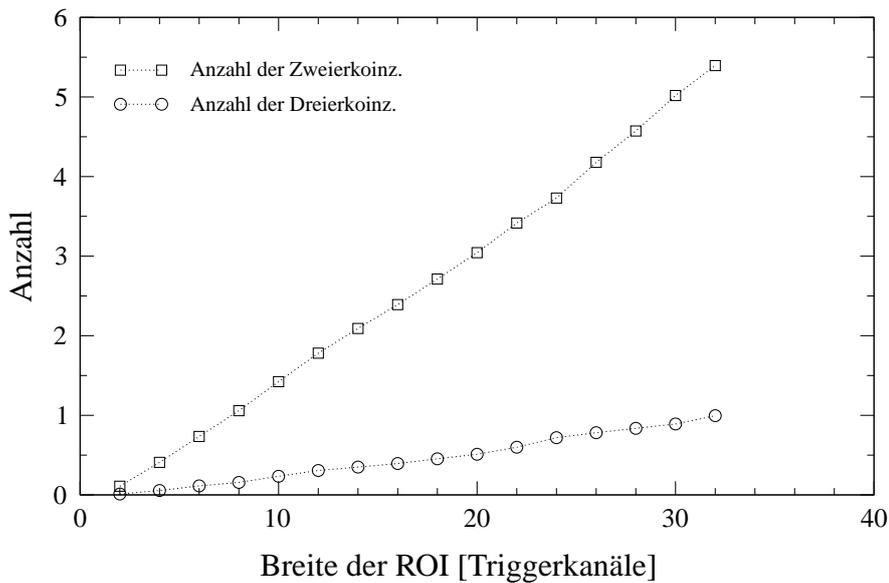


Abb. 5.8: Anzahl der Zweier- und Dreierkoinzidenzen in Abhängigkeit der Breite der ROI. Die Occupancy bei dieser Messung betrug ca. 1.4%.

Die bisher dargestellten Graphen zeigen die Anzahl der Koinzidenzen, die über der gesamten Detektorfläche auftreten. Der First Level Trigger aber berücksichtigt, wie mehrfach geschrieben, nur die Koinzidenzen in einer festgelegten Region Of Interest, deren Größe je nach Detektorstation zwischen 2 und 32 Zellen betragen kann. Die Zahl der Koinzidenzen skaliert dabei, wie in Abb. 5.8 zu sehen ist, linear mit der Größe dieser ROI. Das grundsätzliche Verhalten und das Verhältnis zwischen Zweier- und Dreierkoinzidenzen wird also durch die Beschränkung auf eine ROI nicht beeinflusst.

Letztlich wurden die hier diskutierten Simulationen auch für einen Detektorquadranten der Station MS15 durchgeführt. Die Ergebnisse sind in Abb. 5.9 und Abb. 5.10 zu sehen. Dabei fallen im wesentlichen zwei Unterschiede zu den Werten aus der MS10 auf: Zum einen ist die Detektorbelegung höher als bei den PC-Stationen<sup>1</sup>. Zum anderen ist der Anteil der Dreierkoinzidenzen gegenüber den Zweierkoinzidenzen angestiegen. Dies rührt daher, daß mehr Spuren die Kriterien für eine gültige Koinzidenz aufweisen, wie auch in Abb. 5.11 zu sehen ist.

<sup>1</sup>Die dargestellten Definitionsbereiche (0 bis 4 bei MS10, 0 bis 6.5 bei MS15) entsprechen dem gleichen Bereich bezüglich der Targetrate.

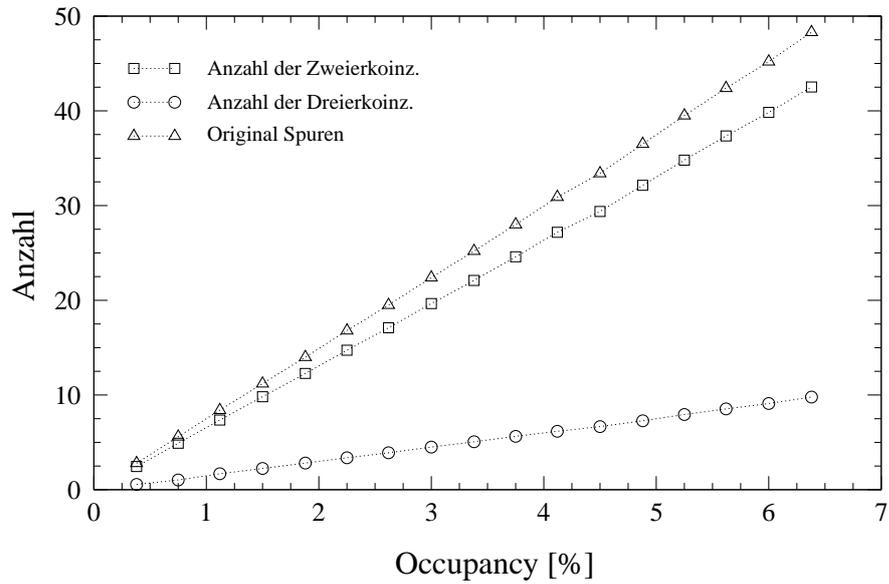


Abb. 5.9: Anzahl der Spuren durch einen Quadranten der Detektorstation MS15 in Abhängigkeit der Occupancy. Dargestellt ist auch die Anzahl der gefundenen Koinzidenzen.

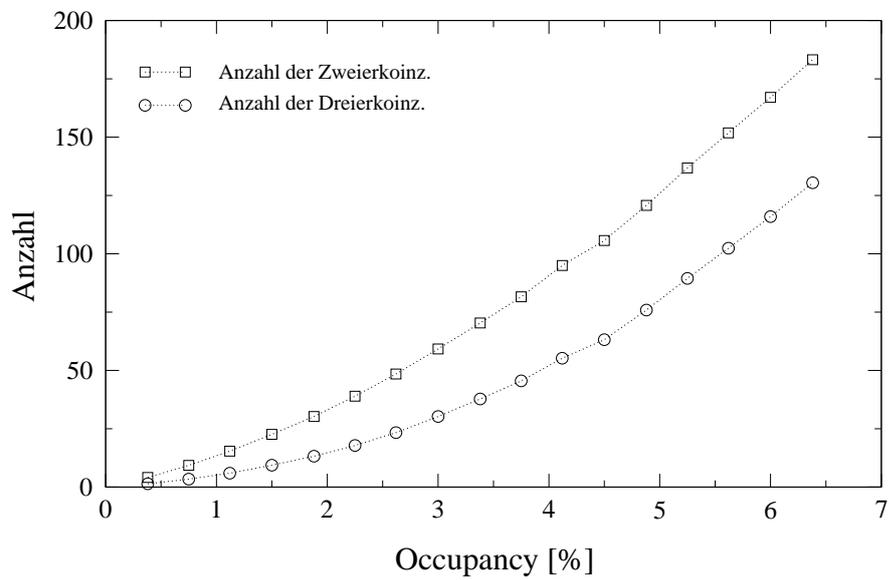


Abb. 5.10: Gesamtzahl der Zweier- und der Dreierkoinzidenzen in Abhängigkeit der Occupancy. (MS15)

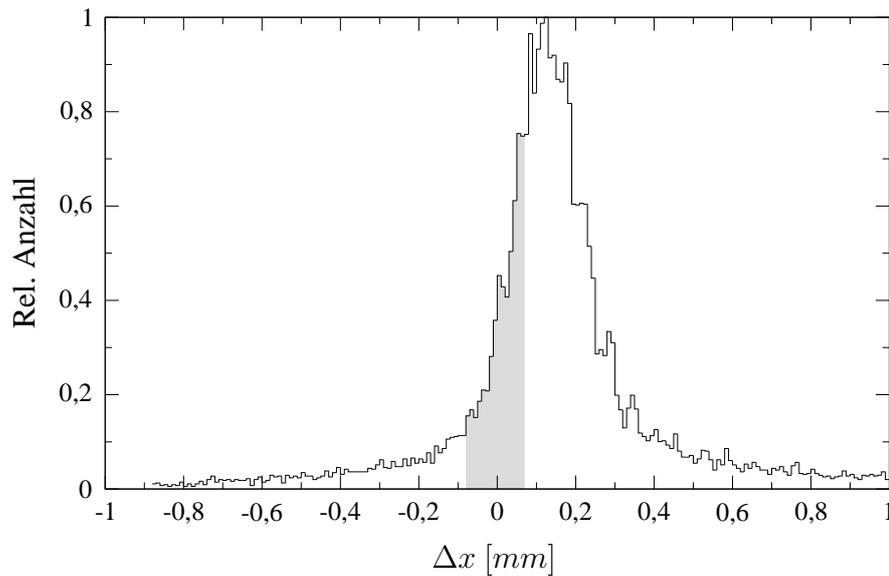


Abb. 5.11:  $\Delta x$ -Verteilung der Spuren durch einen Detektorquadranten. Spuren aus dem hervorgehobenen Bereich bilden gültige 3er-Koinzidenzen. ( MS15 )

### Interpretation des Ergebnisses

Die Motivation für diese Untersuchungen war die Frage, wie sich das Akzeptieren von Zweierkoinzidenzen auf die Geisterrate in der ersten Triggerstufe auswirkt b.z.w. ob die Steigerung der Geisterrate bei einer derartige Option in vertretbarem Rahmen bleibt. Dabei ist zu beachten, daß das HERA-B - Experiment, und somit auch der FLT, ursprünglich für eine Ereignisrate von 40 MHz ausgelegt wurde. Aufgrund neuerer Erkenntnisse, die unabhängig vom First Level Trigger gewonnen wurden, wird beim künftigen Betrieb eine Ereignisrate von 20 MHz jedoch nicht überschritten werden. Die Kammerbelegung wird also maximal die Hälfte der ursprünglich angenommenen betragen. Wie aus Abb. 5.7 und Abb. 5.10 abgelesen werden kann, liegt somit die Zahl der Zweierkoinzidenzen nicht über der ursprünglich erwarteten Anzahl der Dreierkoinzidenzen. Eine Änderung des Triggeralgorithmus, der in definierten Bereichen auch Zweierkoinzidenzen akzeptiert, scheint daher aus dieser Sicht realisierbar zu sein.



# Zusammenfassung und Ausblick

Das am Speicherring HERA des Deutschen Elektronen Synchrotrons DESY aufgebaute Experiment HERA-B wurde zur Untersuchung des Zerfalls von  $B$ -Mesonen konzipiert. Der dabei untersuchte Reaktionskanal wird von einem um sechs Größenordnungen stärkeren Untergrund überdeckt. Um diesen Untergrund zu unterdrücken, wurde ein 4-stufiges Triggersystem entwickelt. Die erste dieser Triggerstufen, die komplett durch eine eigene Hardware-Logik realisiert wurde, muß eine Triggerentscheidung in  $12 \mu\text{s}$  treffen. Teile des inneren Spurkamersystems (ITR) dienen der Spurfindung in dieser ersten Triggerstufe, wobei der Beitrag des ITR zur Triggerakzeptanz bei etwa 40% liegt.

Zur Erzeugung der Triggerdaten werden die analogen Signale der Detektorkanäle in einer Komparatorschaltung digitalisiert und mehrere Kanäle miteinander verknüpft. Diese Funktionalität wurde in einem ASIC-Baustein, dem HELIX-Chip, implementiert, der auch zur Auslese der Analogdaten dient.

Die Übertragung der Triggerdaten vom Detektor b.z.w. vom Helix-Chip zu der Hardwarelogik des Triggersystems erfolgt über eine zweistufige Multiplex- und Sendeelektronik: In einer Zeit-Multiplex-Schaltung, den sogenannten Trigger-Treiber-Karten, wird ein 4:1 Multiplexing durchgeführt. Die Daten werden dann als LVDS-Signale über Kupferleitungen an die 5 Meter entfernten Trigger-Link-Karten übermittelt. Je nach Detektorstation, zu denen die Trigger-Link-Karten gehören, müssen die Daten in spezielle Formate umformatiert und anschließend weiter serialisiert werden. Die Übertragung der Informationen zum Trigger erfolgt schließlich über eine etwa 50 Meter lange 1 GHz Glasfaser-Übertragungsstrecke.

Die Kontrolle, Steuerung und Konfiguration dieser Linkelektronik erfolgt durch speziell dafür entwickelte Programme von einem Personal-Computer aus. Das Software-System wurde so aufgebaut, daß es in die HERA-B - Slow-Control Umgebung integriert werden kann. Die Aufgaben dieser Triggerelektronik-Steuerung sind im Einzelnen

- das Beobachten der Betriebsspannungen und -ströme der Trigger-Treiber-Karten,
- das Abschalten einzelner Karten beim Über- oder Unterschreiten von Grenzwerten,
- soweit möglich, die Kontrolle der korrekten Datenübertragung von den Treiber-Karten zu den Linkkarten und von dort zur Elektronik des Triggersystems durch die Auslese von Status- und Fehlersignalen,

- das Einstellen der Datenformate durch Setzen von Steuersignalen und Umkonfigurieren programmierbarer Bausteine,
- die statistische Auslese der Triggerdaten zu Testzwecken.

Aufgrund von Schwierigkeiten, die unabhängig vom Trigger-Link sowohl beim inneren Spurkammersystem als auch beim First Level Trigger aufgetreten sind, konnte der ITR bisher leider nicht zum Trigger beitragen. Nicht zuletzt aufgrund von eingehenden Studien zur Optimierung der Helix-Elektronik, die in [Kel01a] beschrieben werden, konnte die Triggereffizienz des ITR jedoch deutlich gesteigert werden. Die Detektorstationen werden derzeit mit dieser Elektronik neu installiert, so daß in Zukunft die Triggerakzeptanz erheblich verbessert wird.

Ich hoffe, ich konnte mit dieser Arbeit einen winzigen Beitrag zum Verständnis der Physik und der Materie leisten, denn

*Verlockend ist der äuß're Schein,  
der Weise dringet tiefer ein.*

Wilhelm Busch

# Abbildungsverzeichnis

|      |   |    |
|------|---|----|
| 1.1  | Der HERA Speicherring . . . . .   | 3  |
| 1.2  | Der „goldene“ Zerfall . . . . .   | 5  |
| 1.3  | Das Unitaritätsdreieck der CKM-Matrix in der $\rho - \eta -$ Ebene . . . . .        | 6  |
| 1.4  | Ansicht des HERA-B Detektors . . . . .  | 7  |
| 1.5  | Schematischer Aufbau des HERA-B Detektors . . . . .                                 | 8  |
| 1.6  | Schematischer Aufbau einer GEM-MSGC. . . . .  | 10 |
| 1.7  | Querschnitt durch eine GEM-MSGC. . . . .  | 11 |
| 1.8  | Photographien der GEM-Folie. . . . .  | 12 |
| 1.9  | Die Anordnung des ITR. . . . .  | 12 |
| 1.10 | Schematische Darstellung eines Kanals des Helix-Chips . . . . .                     | 14 |
| 1.11 | Schema der Komparator-Schaltung des Helix-Chips . . . . .                           | 14 |
| 1.12 | Die Architektur des Datennahme- und Triggersystems . . . . .                        | 15 |
| 1.13 | Der HERA-B Detektor und der First Level Trigger . . . . .                           | 17 |
| 1.14 | Parametrisierung einer ROI in der x-z-Ebene . . . . .                               | 18 |
| 1.15 | Schema der Parametrisierung einer ROI in der y-z-Ebene. . . . .                     | 18 |
| 1.16 | Schematische Darstellung einer TFU . . . . .  | 19 |
| 1.17 | Darstellung einer 3er-Koinzidenz . . . . .  | 19 |
| 1.18 | Schematische Darstellung des FCS-Systems. . . . .                                   | 20 |
| 2.1  | Schematischer Aufbau des ITR-TL . . . . .   | 21 |
| 2.2  | Schematische Darstellung der Zeit-Multiplex-Technik . . . . .                       | 22 |
| 2.3  | Schematische Darstellung eines von 48 Kanälen einer Trigger-Treiber-Karte . . . . . | 23 |
| 2.4  | Die wichtigsten Baugruppen der Trigger-Link-Karte . . . . .                         | 24 |
| 2.5  | Anordnung der Triggerkanäle ohne Umsortierung . . . . .                             | 25 |

|      |   |    |
|------|---|----|
| 2.6  | Anordnung der Triggerkanäle nach Umsortierung . . . . .   | 26 |
| 3.1  | Darstellung der Verteilung der JTAG-Signale . . . . .   | 31 |
| 3.2  | Boundary-Scan Zellen in einem JTAG-Baustein . . . . .   | 33 |
| 3.3  | Block-Diagramm eines JTAG kompatiblen Bausteins . . . . .   | 34 |
| 3.4  | Die Zustandsmaschine eines JTAG-Bausteins . . . . .   | 35 |
| 3.5  | Aufbau des Befehlsregisters . . . . .   | 36 |
| 3.6  | Mehrere Bausteine in einem JTAG-Pfad . . . . .  | 37 |
| 3.7  | Timing der Boundary-Scan-Signale . . . . .  | 37 |
| 3.8  | Implementierung eines USER-Registers in einem XC4006-Chip . . . . .   | 39 |
| 3.9  | ACT8997 mit und ohne Scan-Pfad . . . . .  | 41 |
| 3.10 | Select-Register des ACT8997 . . . . .   | 41 |
| 3.11 | Schema der JTAG Multiplexer- und Treiberkarte . . . . .   | 43 |
| 3.12 | Schema der Trigger-Treiber-Spannungskontrolle . . . . .   | 44 |
| 3.13 | Der zweite JTAG-Signalverteiler . . . . .   | 44 |
| 4.1  | Überblick über die HERA-B Slow Control . . . . .  | 50 |
| 4.2  | Beispiel für eine Tcl/Tk-Anwendung . . . . .  | 52 |
| 4.3  | Die Softwarestruktur der ITR Trigger-Link Slow-Control . . . . .  | 53 |
| 4.4  | Triggerstatus im WWW . . . . .  | 55 |
| 4.5  | Die Zustandsmaschine der ITR-TL Parametercontrol . . . . .  | 56 |
| 4.6  | Linkbord-Kontroll-Fenster . . . . .   | 60 |
| 4.7  | Die GUI-Fenster für die TT-Spannungen. . . . .  | 61 |
| 5.1  | Die Spuren eines $J/\psi \rightarrow \mu^+ \mu^-$ Zerfalls in der x-z-Ebene . . . . .   | 64 |
| 5.2  | Der Beitrag des inneren Spurkammersystems zur ersten Triggerstufe in Abhängigkeit der Einzelkammereffizienz des ITR . . . . . | 65 |
| 5.3  | Detektor-Hits eines Ereignisses. . . . .  | 67 |
| 5.4  | Anzahl der Spuren durch einen Quadranten der Detektorstation MS10 in Abhängigkeit der Occupancy. . . . .                      | 68 |
| 5.5  | $\Delta x$ -Verteilung der Spuren durch einen Detektorquadranten. (MS10) . . . . .  | 69 |
| 5.6  | Anzahl der Koinzidenzen in Abhängigkeit der Occupancy. (MS10) . . . . .   | 70 |
| 5.7  | Die Gesamtzahl der Zweier- und Dreierkoinzidenzen. (MS10) . . . . .   | 70 |

|      |  |    |
|------|--|----|
| 5.8  | Anzahl der Zweier- und Dreierkoinzidenzen in Abhängigkeit der Fläche der ROI. . . . .                    | 71 |
| 5.9  | Anzahl der Spuren durch einen Quadranten der Detektorstation MS15 in Abhängigkeit der Occupancy. . . . . | 72 |
| 5.10 | Gesamtzahl der Zweier- und der Dreierkoinzidenzen in Abhängigkeit der Occupancy. (MS15) . . . . .        | 72 |
| 5.11 | $\Delta x$ -Verteilung der Spuren durch einen Detektorquadranten. (MS15) . . . . .                       | 73 |



# Tabellenverzeichnis

|     |  |    |
|-----|--|----|
| 1.1 | Die Eingangsraten, die Latenzzeiten und der Datenfluß der einzelnen Triggerstufen. . . . . | 16 |
| 2.1 | Die Datenformate bei verschiedenen Linkbord-Programmen . . . . .                           | 27 |
| 2.2 | Die Anordnung der Datenbits beim Senden der Status- und Identifier-Daten .                 | 28 |
| 2.3 | Die Bedeutung der FCS-Strobe-Bits . . . . .  | 29 |
| 3.1 | Die XILINX Boundary-Scan-Befehle und die zugehörigen Register. . . . .                     | 38 |
| 3.2 | Die verwendeten ACT8997 Boundary-Scan-Befehle und die zugehörigen Register . . . . .       | 41 |
| 3.3 | Das Kontroll-Register des ACT8997 . . . . .  | 42 |
| 3.4 | Die verwendeten ABT18245 Boundary-Scan-Befehle und die zugehörigen Register . . . . .      | 43 |
| 3.5 | Das Boundary-Scan Kontrollregister des XMaster . . . . .                                   | 47 |
| 5.1 | Rel. Anzahl der Hits in ITR-Triggerstationen der PC- und der TC-Region . .                 | 65 |



# Literaturverzeichnis

- [BaB98] The BaBar Physics Workgroup, Stanford. *The BaBar Physics Book*, 1998.
- [Ber92] C. BERGER. *Teilchenphysik*. Springer-Verlag, 1992.
- [Bor00] C. BORGMEIER. *Introduction to the ARTE C++ Interface*. DESY, Hera-B, internal note, March 2000.
- [DES94] DESY, Hera-B. *HERA-B Proposal*, 1994. DESY-PRC 94/02.
- [DES95] DESY, Hera-B. *HERA-B Design Report*, Januar 1995.
- [DES96] DESY, Hera-B, internal note. *ARTE. The Event Recontruction and Analysis Tool for HERA-B*, March 1996.
- [DES98a] DESY, Hera-B, internal note. *Process Manager Package*, August 1998.
- [DES98b] DESY, Hera-B, internal note. *Proposal for a Hera-B Message Handler Interface*, Juni 1998.
- [DES00] DESY, Hera-B. *HERA-B Report on Status and Prospects*, Oktober 2000. DESY-PRC 00/04.
- [FR98] T. FULJAHN UND D. RESSING. *FCS documentation*. DESY, Hera-B, internal note, November 1998.
- [FR<sup>+</sup>99] M. FEUERSTACK-RAIBLE ET AL. *Helix128 User Manual*. ASIC-Labor, Universität Heidelberg, Februar 1999.
- [FR01] H. FLECKENSTEIN UND D. RESSING. *Track Finding Unit Calculations*. DESY, Hera-B, internal note, Januar 2001.
- [Ful99] T. FULJAHN. *Aufbau und Charakterisierung des schnellen Kontrollsystems für das Experiment HERA-B*. Diplomarbeit, Universität Hamburg, 1999.
- [G<sup>+</sup>98] E. K. GERNDT ET AL. *Description of Messages and Process-Logic for the First Level Trigger of HERA-B*. DESY, Hera-B, internal note, September 1998.

- [Ger00] E. K. GERNDT. Persönliche Mitteilung, Oktober 2000.
- [Gra98] W. GRADL. *Program HELIX via CAN Bus*. DESY, Hera-B, internal note, 1998.
- [Gru96] C. GRUPEN. *Particle Detectors*. Cambridge University Press, Cambridge, 1996.
- [Hol96] M. HOLDER. *Symmetrien in der Physik*. Diagonal. Zeitschrift der Universität-GH Siegen., Heft 1, 1996.
- [I<sup>+</sup>99] J. IVARSSON ET AL. *PYTHIA and FRITIOF: Event Generators for HERA-B*. DESY, Hera-B, internal note, March 1999.
- [JU98a] A. JELEZOW UND U. UWER. *The Hera-B Slow Control Software: SPC system programmers guide - User functions*. DESY, Hera-B, internal note, April 1998.
- [JU98b] A. JELEZOW UND U. UWER. *The Hera-B Slow Control Software: SPC system User's guide*. DESY, Hera-B, internal note, Mai 1998.
- [JU98c] A. JELEZOW UND U. UWER. *Slow Control System: Control Software & Hardware issues*. DESY, Hera-B, internal note, June 1998.
- [Jun92] A. JUNGHANS. *Ohne Nadeln. Praktische Anwendung JTAG-kompatibler Test-ICs*. ELRAD, Heft 12:38ff, 1992.
- [Kel01a] S. KELLER. *Aufbau eines Spurtriggers bei HERA-B mit GEM-MSGC-Detektoren*. Dissertation, Universität Siegen, 2001.
- [Kel01b] S. KELLER. Persönliche Mitteilung, September 2001.
- [Loh99] T. LOHSE. *MCGEN: A General Tool for Monte Carlo Production for Physics at HERA-B*. DESY, Hera-B, internal note, May 1999.
- [M<sup>+</sup>96] R. F. MENDIETA ET AL. *Determination of the Kobayashi-Maskawa-Cabibbo matrix element  $V_{us}$  under various flavor-symmetry-breaking models in hyperon semileptonic decays*. Physical Review D, Vol. 54, Num. 11:6855–6860, 1996.
- [Med97] M. MEDINNIS. *HERA-B Trigger and DAQ System Architecture*. DESY, Hera-B, internal note, 1997.
- [MT92] M. C. MAUNDER UND R. E. TULLOSS. *The Test Access Port And Boundary-Scan Architecture*. IEEE Computer Society Press, Los Alamitos, Calif., 1992.
- [Ous95] J. K. OUSTERHOUT. *Tcl und Tk*. Addison-Wesley, Bonn, 1995.
- [Pi92] H. PI. *An event generator for interactions between hadrons and nuclei – Fritiof version 7.0*. Computer Physics Communications, Heft 71, 1992.

- [R<sup>+</sup>00] M. ROST ET AL. *Use of boundary-scan facilities for permanent control of part of the readout electronics of the HERA-B experiment*. Nuclear instruments & methods in physics research, A 443:181–185, 2000.
- [Res99] D. RESSING. Persönliche Mitteilung, Februar 1999.
- [Res01] D. RESSING. Persönliche Mitteilung, Januar 2001.
- [Ric00] C. RICHTER. *Entwicklung von Mikrostruktur-Gasdetektoren für Hochraten-Experimente*. Dissertation, Ruprecht-Karls-Universität Heidelberg, Oktober 2000.
- [Sjö94] T. SJÖSTRAND. *High-energy-physics event generation with PYTHIA 5.7 and JETSET 7.4*. Computer Physics Communications, Heft 82, 1994.
- [SP97] W. SCHMIDT-PARZEFALL. *HERA-B - Ein neues Experiment bei DESY*. Physikalische Blätter, 53 Nr. 4, 1997.
- [Tex96] Texas Instruments. *SN74ACT8997 Data Sheet.*, Dezember 1996.
- [Tro95] S. TROST. *Boundary Scan - IEEE Std. 1149.1*. TU Dresden, 1995. Script zum Meßtechnischen Seminar Boundary Scan.
- [XIL99a] XILINX Inc. *XAPP017: Boundary-scan in XC4000, Spartan and XC5200 Series Devices.*, November 1999.
- [XIL99b] XILINX Inc. *XC4000E and XC4000X Series Field Programmable Gate Arrays*, Mai 1999.



# Danksagung

Ohne den Rat und die Unterstützung zahlreicher Personen wäre das Gelingen dieser Arbeit nicht möglich gewesen. All denjenigen möchte ich an dieser Stelle danken.

Der besondere Dank gilt dabei Herrn Professor Dr. G. Zech, meinem Doktorvater, dessen hervorragende Betreuung sich gleichermaßen durch sachliche Kompetenz und Hilfsbereitschaft wie durch Geduld und Verständnis auszeichnete.

Als zweites, jedoch ebenso sehr, danke ich Herrn Dr. M. Rost und Herrn Dr. W. Weihs für das gute Arbeitsklima und die hervorragende Unterstützung bei Fragen jeglicher Art. Vor allem aber haben sie durch ihr Engagement beim HERA-B - Experiment diese Promotion erst ermöglicht.

Ein gutes Arbeitsklima ließ mir auch stets die Inner-Tracker-Arbeitsgruppe in Hamburg zuteil werden, deren Mitglieder sich ausnahmslos durch Freundlichkeit in Teamgeist auszeichnen. Besonders danke ich dabei Herrn Dr. Stefan Keller für die vielen konstruktiven Anregungen und die hervorragende Zusammenarbeit bei meinen Aufenthalten am DESY.

Besonders, aber nicht nur, in der letzten, für mich besonders schwierigen Phase dieser Arbeit hat mir meine Familie viel Rückhalt und Stärke gegeben. Dafür danke ich Silke, Tim und meinen Eltern.